

АНАЛИЗ И СИНТЕЗ НА ЛОГИЧЕСКИ СХЕМИ

Лекция

СТАНДАРТНИ КОМБИНАЦИОННИ ЛОГИЧЕСКИ СХЕМИ

5.1. Въведение

В изчислителната техника се използват два класа схеми: комбинационни и последователности. Отличителна особеност на комбинационните схеми е наличието на функционална зависимост между входните и изходните сигнали. При комбинационна логическа схема състоянието на изхода зависи само от състоянието на входа в даден момент от време. За комбинационните логически схеми може да се каже, че те не зависят от параметъра време. За разлика от последователностните, комбинационните схеми не съдържат в структурата си елементи памет (запомнящи елементи).

Определение

Комбинационна логическа схема е съвкупност от логически елементи без памет, свързани помежду си по определен начин за реализиране на зададената логическа функция/система логически функции.

При синтеза на комбинационни схеми е целесъобразно да се спазва следната последователност:

а) логическото утвърждаване на дадения проблем се изразява с комбинационна (истинна) таблица с всички възможни комбинации на входните променливи и с необходимите изходи за всяка входна комбинация от двоични променливи;

б) с помощта на карти на Вейч, карти на Карно или други методи се определят минимизирани изрази на резултативните логически функции;

в) в съответствие с предполагаемите за използване схеми, алгебричните изрази се преобразуват в логическа схема.

Такъв систематичен процес обезпечава правилна функция на резултативните логически схеми, защото се разглеждат всички възможни комбинации, а резултативните схеми са оптимални, тъй като в процеса на решаване се изключват ненужните комбинации, които на пръв поглед могат да се окажат необходими.

5.2. Дешифратори

Дешифраторът (нарича се още декодер, decoder) е комбинационна логическа схема, която в общия случай има n входа и 2^n изхода. Дешифраторите преобразуват кодирани входни сигнали в кодирани изходни сигнали, като при това входните и изходните кодове са различни. Входният код обикновено има брой на разрядите по-малък от този на изходния код. Между входните и изходните кодови думи има взаимно-еднозначно съответствие. При взаимно-еднозначното съответствие (one-to-

one mapping) всяка входна кодова дума поражда различаваща се от другите, изходна кодова дума.

В повечето от случаите ролята на входен код се изпълнява от n -разряден двоичен код, където n -разрядното двоично число представлява една от 2^n различно кодираните величини. Обикновено това са цели числа от 0 до $2^n - 1$.

В болшинството от случаите, ролята на изходен код играе m -разрядният код „1 от m “, при който във всеки момент от времето е различен от „0“ само един бит. Този m -разряден код „1 от m “ се нарича още унитарен код. По такъв начин в кода „1 от 4“ с високо активно ниво на сигнала на изходите, кодовите думи ще имат следния вид: 0001, 0010, 0100 и 1000. При ниско активно ниво на сигнала на изходите, кодовите думи ще имат вида: 1110, 1101, 1011 и 0111.

Дешифраторите широко се използват в цифровите устройства най-често за преобразуване на постъпващия на входа им двоичен код в унитарен. Изходите на дешифратора се използват за определяне на n -разрядни двоични числа, като за всяка комбинация на входното n -разрядно число, активен сигнал „1” или „0” се получава само в един от изходите.

Схемата на дешифратора има n входа, на които постъпват съответстващите разряди на двоичния код $X_1, X_2, \dots, X_{n-1}, X_n$ и m изходи, на които се формират разрядите на унитарния код $Y_0, Y_1, \dots, Y_{2^n-1}$. При това дешифраторът реализира m функции от вида (1), които съответствуват на преобразуването на двоичния код в прав (с високо активно изходно ниво) унитарен код:

[illegible]

В логическите уравнения (1), с които се описва действието на дешифратора, изходният сигнал y_i в i -тия изход представлява конституента на единицата от входните променливи.

Например, при три входни променливи логическите уравнения на дешифратора са:

$$\begin{aligned} y_0 &= \bar{x}_1 \bar{x}_2 \bar{x}_3, & y_4 &= x_1 \bar{x}_2 \bar{x}_3, \\ y_1 &= \bar{x}_1 \bar{x}_2 x_3, & y_5 &= x_1 \bar{x}_2 x_3, \end{aligned}$$

$$\begin{aligned} y_2 &= \bar{x}_1 x_2 \bar{x}_3, & y_6 &= x_1 x_2 \bar{x}_3, \\ y_3 &= \bar{x}_1 x_2 x_3, & y_7 &= x_1 x_2 x_3. \end{aligned} \quad (2)$$

На системата логически уравнения (2) съответствува таблицата на истинност (таблица 5.1).

Таблица 5.1

Таблица на истинност на триразряден дешифратор

x_1	x_2	x_3	y_0	y_1	y_2	y_3	y_4	y_5	y_6	y_7
0	0	0	1	0	0	0	0	0	0	0
0	0	1	0	1	0	0	0	0	0	0
0	1	0	0	0	1	0	0	0	0	0
0	1	1	0	0	0	1	0	0	0	0
1	0	0	0	0	0	0	1	0	0	0
1	0	1	0	0	0	0	0	1	0	0
1	1	0	0	0	0	0	0	0	1	0
1	1	1	0	0	0	0	0	0	0	1

От таблица 1 се вижда, че сигнал „1” съществува само в един от изходите при съответен набор на входните променливи (унитарен код).

От уравненията (1) следва, че дешифраторите могат да се осъществяват с 2^n логически елемента И, като всеки логически елемент има по n входа. Такива дешифратори се наричат *линейни (едностъпални)*. Например триразрядният дешифратор, чието действие се описва с уравненията (2), се изпълнява от осем тривходови логически елемента И (фиг. 5.1). На входовете на логическите елементи се подават правите и инверсните значения на входните сигнали. Този вид дешифратори са най-бързи, защото сигналят от входа към изхода се разпространява само през едно стъпало. Обикновено такива дешифратори се използват до 4-5 входни променливи.

Ако за изходните логически елементи (ЛЕ) се използват схеми И-НЕ вместо И, се променят активните нива на изходите – те стават „0”. Към изходните елементи може да бъде свързан и допълнителен сигнал (както е показано с прекъснатата линия). Този сигнал E (Enable - Разрешение) с активното си ниво разрешава работата на дешифратора. При липса на сигнал, всички изходи на дешифратора са дезактивирани (фиг. 5.1).

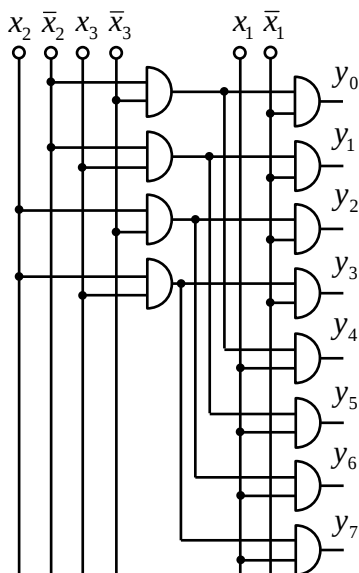
На фиг. 5.2 са показани времедиаграмите за работата на пълнен триразряден дешифратор.

Линейните дешифратори имат два недостатъка: необходимост от n - входен логически елемент (ТТЛ интегралните ЛЕ се произвеждат най-много с осем входа) и голям коефициент на натоварване на изходите, от които се получават входните сигнали. Всеки един изход на ЛЕ, от който се получават входните сигнали, трябва да има коефициент на изходно натоварване, равен на половината от общия брой на изходите на дешифратора. При пълните дешифратори (дешифратори, които имат всичките 2^n изхода) коефициентът

Този недостатък се отстранява, ако се използват общи ЛЕ за формиране на частични конюнкции. Един от начините е, ако дешифраторът се изгради като пирамидален. Пирамидалните дешифратори се изпълняват с двуходови ЛЕ „И“ на базата на двуразреден дешифратор. С увеличаване на разредите за всеки разред се добавя ново стъпало, от което схемата е получила названието си, пирамидална.

$$\begin{aligned} y_0 &= \bar{x}_1(\bar{x}_2(\dots (\bar{x}_{n-1}\bar{x}_n))), \\ y_1 &= \bar{x}_1(\bar{x}_2(\dots (\bar{x}_{n-1}x_n))), \\ &\dots\dots\dots \\ y_{2^n-1} &= x_1(x_2(\dots (x_{n-1}x_n))). \end{aligned} \tag{3}$$

$$\begin{aligned}
 y_0 &= \bar{x}_1(\bar{x}_2\bar{x}_3), & y_4 &= x_1(\bar{x}_2\bar{x}_3), \\
 y_1 &= \bar{x}_1(\bar{x}_2x_3), & y_5 &= x_1(\bar{x}_2x_3), \\
 y_2 &= \bar{x}_1(x_2\bar{x}_3), & y_6 &= x_1(x_2\bar{x}_3), \\
 y_3 &= \bar{x}_1(x_2x_3), & y_7 &= x_1(x_2x_3).
 \end{aligned}
 \tag{4}$$



Фиг. 5.3. Схема на пълен триразряден пирамидален дешифратор

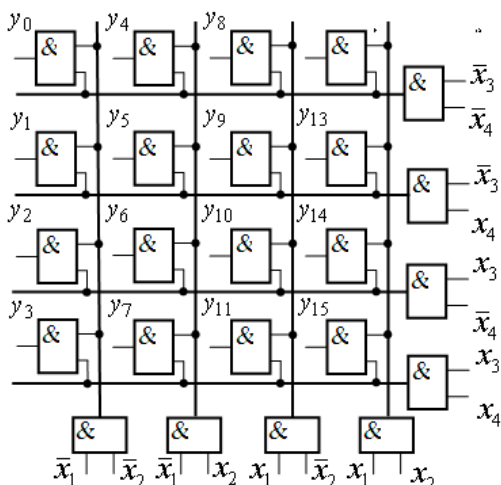
Коефициентът на изходно натоварване на ЛЕ-елементи, от които е изградено предпоследното стъпало на пирамидалния дешифратор, трябва да е най-малко $N_y = 2^{0,5n}$, т.е. при n по-голямо от 8, в схемата на дешифратора трябва да се използват ЛЕ с голям коефициент на натоварване или съответните сигнали да се подават на два или повече повторители, към които се разпределят входовете на логическите елементи от следващото стъпало на дешифратора.

Освен пълните, се използват и непълни дешифратори. Те се изпълняват, когато трябва да се дешифрират само част от наборите на входните променливи. Броят на изходите при непълните дешифратори е по-малък от 2^n . В частност могат да имат само един изход.

В структурно отношение чрез използване на различни скобови форми се различават още *двустъпални*, *многостъпални* и *каскадни* дешифратори.

При двустъпалните дешифратори общия брой на променливите се разделя на две ($\frac{n}{2}$ при n четно и $\frac{n \pm 1}{2}$, когато n е нечетно число). С всяка половина от променливи се изгражда едностъпален дешифратор и след това изходите им се свързват във вид на матрица. Поради това се наричат още и *матрични* дешифратори. Схема на двустъпален четириразряден дешифратор е показана на фиг. 4.4. Изходите на двата дешифратора са свързани във вид на матрица. Във всяка точка получена от пресичането на i -я ред и j -я стълб на матрицата е включен двуходов ЛЕ „И“, изходът на който е един от изходите на дешифратора. По този начин са получени изходите $y_0, y_1, \dots, y_{15}$.

При по-голям брой променливи отделните подстъпала се разбиват на други подстъпала. Така се образуват многостъпалните дешифратори.



Фиг. 5.4. Схема на пълен двустъпален (матричен) дешифратор с ЛЕ

Различават се още дешифратори с прави изходи, при които входните набори се дешифрират (както е показано и по-горе) със сигнал 1-ца на съответните изходи, и с инверсни изходи, при които входните набори се дешифрират със сигнал 0 на съответните изходи. На останалите изходи сигналят е 0 (в първия случай) или 1-ца (за втория случай).

Сравнителна оценка на представените схеми на дешифратори по отношение на:

- бързодействие – най-бързи са едностъпалните,

пирамидалните са най-бавни, двустъпалните заемат междинно място;

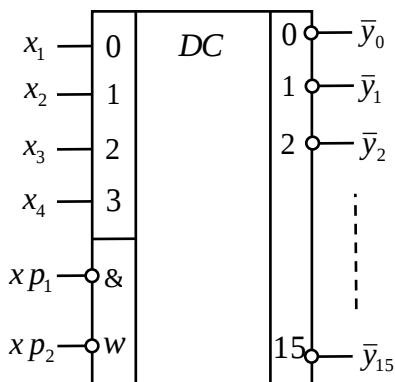
- шумоустойчивост – едностъпалния е с по-лоши показатели-много входове, пирамидалните заемат междинно място, най-добри в това отношение са двустъпалните и многостъпалните.

5.3. Дешифратори в интегрално изпълнение

Изпълнени са с елементи работещи с потенциална логика. При тези дешифратори е необходим синхронизиращ сигнал. Друго различие е в елементната база. Обикновено в интегрално изпълнение базата е или на Пирс или на Шефер (ИЛИ-НЕ, И-НЕ).

Произвеждат се пълни интегрални дешифратори с 2, 3 и 4 входа, обикновено с активни нива на изходите „0”.

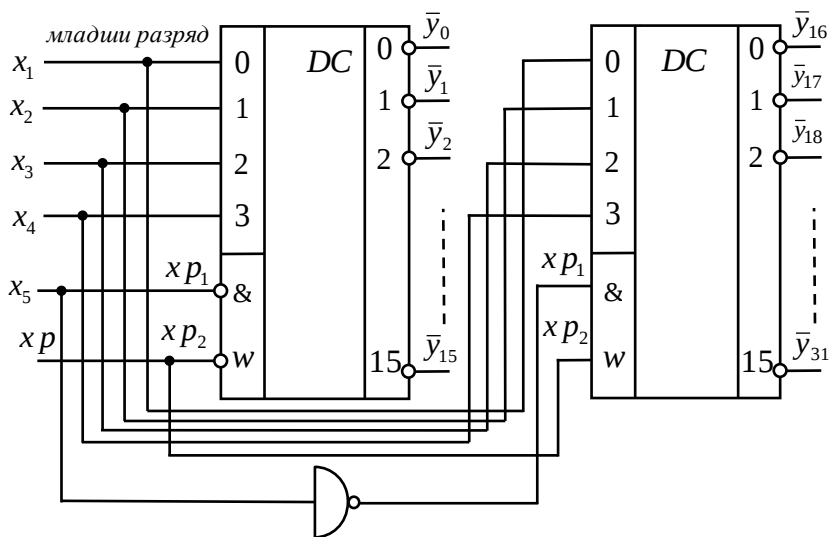
В TTL интегрално изпълнение се произвежда 4 битов дешифратор от типа SN74154, SN74154DW, SN74154N (4-Line To 16-Line Decoders/Demultiplexers). По същата схема е осъществен и дешифраторът SN74159 с тази разлика, че изходите му са с отворен колектор (фиг. 5.5). 74154/74159 има четири входа



Фиг. 5.5. 4 битов дешифратор от типа SN74154

$x_1 - x_4$, x_{p1} и x_{p2} - два разрешаващи (стробиращи входа). За да работи дешифраторът, трябва и на двата входа x_{p1} и x_{p2} да се подаде ниво 0. Когато поне на един от входовете x_{p1} или x_{p2} нивото е 1-ца, изходният сигнал във всичките изходи е също 1-ца. Логическата функция на всеки един от изходите е: $y_0 = \overline{x_4} \overline{x_3} \overline{x_2} \overline{x_1}$, $y_1 = \overline{x_4} \overline{x_3} \overline{x_2} x_1$, ..., $y_{15} = x_4 x_3 x_2 x_1$.

Когато е необходимо да се изградят дешифратори с повече от 4 входа се прилага каскадно нарастване на дешифрицията (стъпално дешифриране). Наличието на стробиращи (разрешаващи) входове позволява с интегралната схема SN74154/SN74159 да се осъществяват дешифратори с повече от 4 разряда. Например ако сигналите $x_1 - x_4$ се подават едновременно на входовете на два дешифратора 74154/74159, а сигналът x_5 на входа x_{p1} на първия дешифратор, а след инвертиране на входа x_{p1} на втория дешифратор, се получава 5 битов дешифратор с 32 изхода (фиг. 5.6).

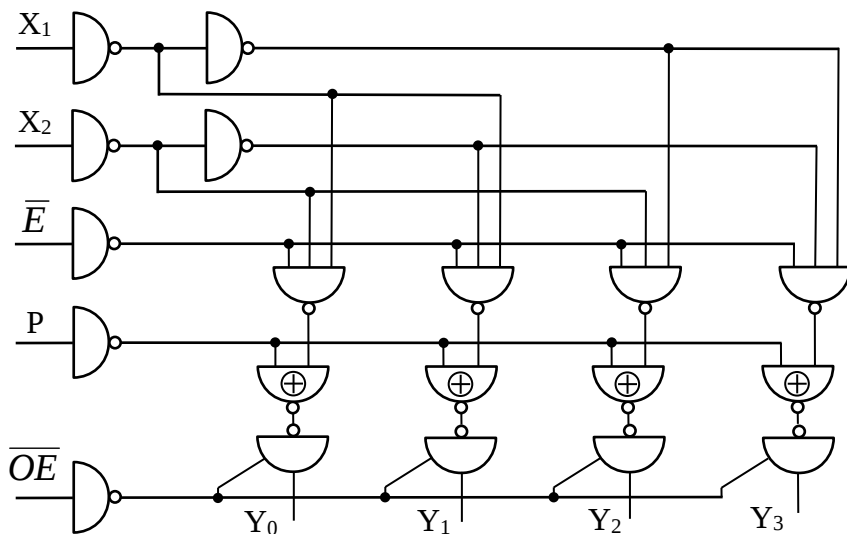


Фиг. 5.6. 5 битов дешифратор с 32 изхода реализиран на базата на два дешифратора от типа SN74154

Със 17 дешифратора 74154/74159 включени по пирамидална схема се получава дешифратор с 256 изхода.

В TTL интегрално изпълнение се произвежда дешифратор от типа 74x139. Този дешифратор е пълен дешифратор на две входни променливи с един разрешаващ вход (ENABLE). Характерно е, че интегралната схема със средна степен на интеграция съдържа два такива взаимно независими дешифратора.

Друг представител в интегрално изпълнение е дешифратор от типа 74x138. Дешифраторът 74x138 е пълен дешифратор на три входни



Фиг. 5.7. Интегрален дешифратор с три състояния
1/2 74539 (25LS2539)

променливи с инверсни изходи. Има три разрешаващи входа $G1$, $G2$ и $G3$. Условието за разрешение е $G1 = 1$; $G2 = 0$; $G3 = 0$.

При някои интегрални дешифратори (например '538 и '539), могат да се задават активните нива на изходите. На фиг. 4.7 е дадена принципна схема на дешифратор с 2 входа – интегрална схема 1/2 '539 (в '539 се съдържат два такива дешифратора). Този дешифратор притежава вход за разрешение $\overline{E}$ (Enable-Разрешение) с активно ниво 0. Допълнително са включени схеми „Сума по модул 2“, като общ сигнал P управлява активното ниво („1” или „0”) на изходите. При $P=1$, активното ниво на изходите е „0”, а при $P=0$, то е „1”. Изходите имат и трето, високоимпедансно състояние, управлявано от входа $\overline{OE}$ (Output Enable – Разрешение на изходите).

Дешифратори с брой на изходите m по-малък от 2^n са непълни ($m < 2^n$). Представители на непълни интегрални дешифратори са дешифраторите за двоично-десетичен код с 4 входа и 10 изхода (BCD to Decimal). Произвеждат се три типа двоично-десетични дешифратори. Най-разпространени са дешифраторите за числа в обикновен двоично-десетичен код (BCD-to-decimal decoders), (SN7442A, SN74LS42). Втори тип са за числа в двоично-десетичен код с излишък от 3 (Excess-3-to-decimal decoders),

(SN7443A, SN74L43) и трети тип-за числа в двоично-десетичен код на Грей (Gray-to-decimal decoders), (SN7444A, SN74L44).

SN74141 е второ поколение високоволтов дешифратор (BCD-to-decimal decoder/driver) със специфично предназначение за управление на цифрови лампи до 170 V (индикатори със студен катод).