

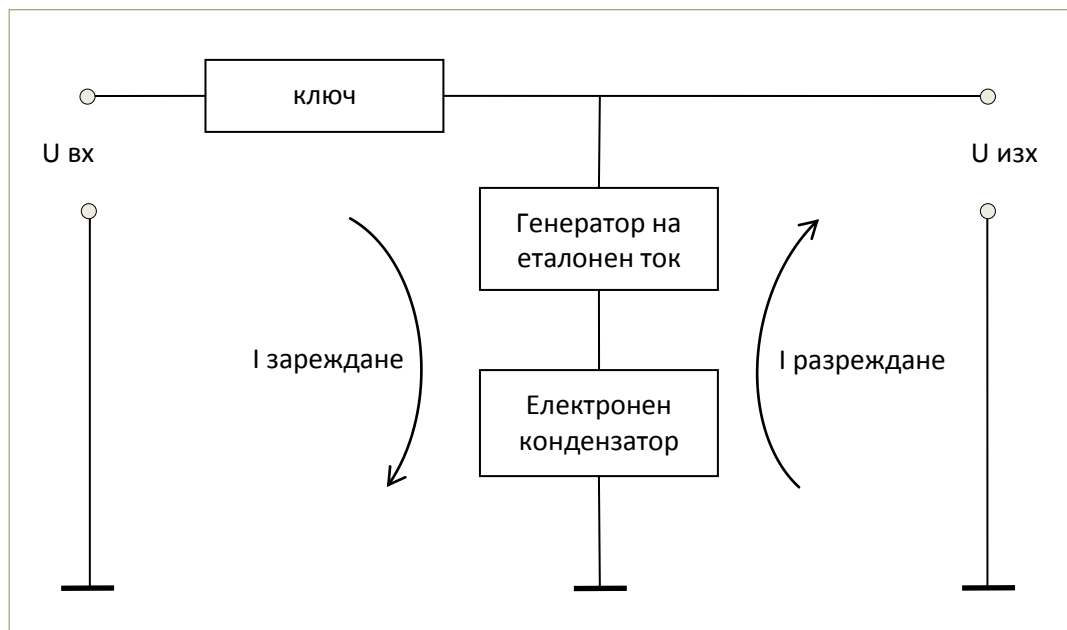
Технически Университет - Габрово	Организация на компютъра
Тема: Видове DRAM памети	Семинарно упражнение № 1
Цел: Затвърждаване на знанията на студентите по темата на базата на въпроси и отговори.	

Въпрос № 1

Каква е функцията на генератора на еталонен ток в запомнящите клетки на DRAM?

Отговор:

Генераторът на еталонен ток гарантира зареждане на кондензатора на всяка запомняща клетка от DRAM за едно и също време, независимо дали входното напрежение е лог. 1 или лог. 0. Това се постига благодарение на това, че токът през кондензатора I зареждане остава константа, независимо от входното напрежение. Така се премахва необходимостта да се задава различно време за затваряне на електронния ключ в зависимост от това дали клетката трябва да запомни лог. 1 или лог. 0. Това от своя страна позволява намаляване на броя на транзисторите, които реализират управляващата логика на паметта и оттам и нейната цена.



Фиг. 1. Структура на запомняща клетка от DRAM

Въпрос № 2

Защо при DDR-400 захранващото напрежение е 2.6V, а при останалите DDR памети е 2.5V?

Отговор:

При паметите DDR-400 (PC-3200) физическия такт на синхронизация е 200MHz. При тази честота броя на грешките при обмен с паметта нараства поради малката разлика в нивата на лог. 1 и лог. 0. За да се увеличи тази разлика и с това да се намали вероятността за грешки при четене и запис се увеличава захранващото напрежение от 2.5V на 2.6V.

Въпрос № 3

Защо при някои модули DRAM има четен брой интегрални схеми, а при други – нечетен брой интегрални схеми? Какво представляват ECC паметите?

Отговор:

Ако броят на чиповете е четно число, всички те се използват за съхранение на самите данни. Броят на чиповете памет при DRAM модулите е нечетен брой когато един от тези чипове се използва с цел съхранение на допълнителна информация, свързана с гарантиране на сигурност на обмена. Модулите с нечетен брой чипове, освен данните съхраняват за всеки байт данни допълнителна информация на базата на която е възможно да се разбере има ли грешка при четене и евентуално тази грешка да бъде отстранена на базата на тази допълнителна информация. Има две възможности за откриване на грешки в рамките на всеки предаван байт данни. Първият вариант е да се използва бит за четност за всеки байт данни. Тези битове се съхраняват в допълнителен чип еднобитова памет. Ако паметта е 64-битова, то комуникацията с чипсета се реализира по 72-битова шина (64 бита данни + 8 бита за контрол по четност). Стойността на бита за четност зависи от броя на 1 във съответния байт. Ако броят на 1 е нечетно число, то бита за четност е 1. Ако броят на 1 е четно число, то бита за четност е 0. След прочитане на байт данни се чете и бита за четност. Следва получаване на стойността на бита за четност от така прочетените данни. Ако прочетената стойност и изчислената стойност на бита за четност съвпадат, то няма грешка при четене. Ако не съвпадат – има грешка. В последният случай се активира цикъл за повторно четене на данните. Проверката на данните с бит за четност има съществени недостатъци: 1) Открива само 1 грешен бит в 1 байт данни; 2) Не позволява възстановяване на стройността на сгрешения бит. По надеждни са паметите, които използват кодове за откриване и отстраняване на грешки – ECC. При тези памети е възможно не само да се открие грешка, но и да се отстрани грешката без да е необходимо повторно прочитане на данните. Проверката и отстраняване на грешките се реализира на базата на допълнителни битове, които се изчисляват и помнят за всеки байт данни. Затова ECC паметите са по-скъпи от останалите, но по-надеждни.

Въпрос № 4

Защо при RAMBUS дъната не може да се остави празен RAMBUS слот?

Отговор:

Сигналите при RAMBUS паметите преминават последователно през всеки модул памет до достигане до терминаторите от дънната платка (резистори към маса с цел предотвратяване на отразени вълни). Ако има дори един празен слот, то тези сигнали се прекъсват и системата е неработоспособна. Затова, в слотовете, които няма да се използват, трябва да се поставят така наречените празни слотове, които не съдържат чипове памет, но прехвърлят сигналите от/към дънната платка.

Въпрос № 5

Какво представляват Fully Buffered (FB) и Load Reduced (LR) модули памет?

Отговор:

Обикновено, линиите за данни от контролера на паметта са свързани към линиите за данни на всеки DRAM модул чрез споделена шина. Кой модул ще използва шината се решава чрез арбитриране на споделената шина. Проблемът е, че използването на споделена шина влошава надеждността на системата, тъй като електромагнитните смущения нарастват при увеличаване на броя на линиите и честотата на синхронизация на обмена по шината.

Буферирана (registered) DRAM има допълнителен хардуер (регистров блок) между паметта и чипсета (контролера на паметта) с цел временно буфериране само на управляващите сигнали. Целта е намаляване на електрическото натоварване на линиите когато системата работи с голямо количество DRAM модули.

Паметите от тип Load Reduced (LR) DIMM се използват основно при сървъри. При тези памети се буферират както всички управляващи сигнали, така и линиите за данни. Всички комуникации остават паралелни.

Напълно буфериран DIMM (или FB-DIMM) е технология, която може да се използва за увеличаване на надеждността и плътността на паметта в една система с DRAM. За разлика от паралелната архитектура на шините за достъп до традиционните DRAM, FB-DIMM има сериен интерфейс между контролера на паметта и буфер наречен подобрен буфер на паметта - Advanced Memory Buffer (AMB). Това позволява увеличаване на вътрешните линии за данни без да се увеличава броя на изводите на паметта към чипсета. При тази архитектура контролерът на паметта не работи (чете и записва) директно с DRAM модула а с буфера. Буферът може да реализира и корекция на грешки, без това да натоварва другите модули.

FB-DRAM и LR-DRAM не са съвместими с обикновените buffered/registered DRAM. Те са по-скъпи, но гарантират по-висока надеждност при системите с много DRAM модули.