

УПРАЖНЕНИЕ № 7

ИЗСЛЕДВАНЕ НА СУМАТОР, МУЛТИПЛЕКСОР И СХЕМИ ЗА СРАВНЕНИЕ

ЦЕЛ НА УПРАЖНЕНИЕТО

Целта на упражнението е да се усвоят начините за синтез, изследване и практическо използване на комбинационни стандартни цифрови схеми (суматор, мултиплексор и схеми за сравнение).

КРАТКА ТЕОРИЯ

Суматори

Суматорът е функционален възел, изпълняващ операцията аритметично събиране на две числа. Основа за построяването на всеки суматор е едноразрядния суматор.

В зависимост от организацията на процеса на сумирането, суматорите се делят на:

- комбинационни суматори (КС);
- натрупващи суматори (НС);
- суматори от комбинационно-натрупващ тип (КНС).

В зависимост от броя на разрядите, участващи в даден момент в събирането, суматорите се делят на:

- едноразрядни;
- многоразрядни.

По начина на обработка на многоразрядните числа се различават:

- последователни;
- паралелни;
- последователно-паралелни.

В зависимост от организацията на веригата за преноса, суматорите се делят на:

- суматори с последователен пренос;
- суматори с паралелен пренос;
- суматори с групов пренос.

Комбинационни суматори

Събирането (сумирането) в двоична бройна система се явява най-важната математическа операция, тъй като то лежи в основата на другите математически операции: изваждане, умножение, деление. Основните схеми, обезпечаващи елементарните операции събиране са така наречените едноразрядни суматори, които могат да бъдат *пълни* и *непълни* (*полусуматори*).

Едноразрядните суматори представляват комбинационни блокове за реализиране на операцията събиране на двоични числа.

Ако блокът за сумиране има два входа и два изхода и работи в съответствие с правилата за сумиране на две едноразрядни двоични числа, $0+0=0$, $0+1=1$, $1+0=1$, $1+1=0$ и пренос 1, който се подава към следващите по-старши разряди, се нарича едноразряден непълен суматор (полусуматор).

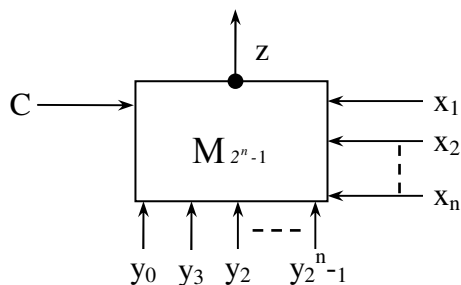
Полусуматорът осъществява сумиране по модул 2 на два бита (двата едноименни разряда на две числа X и Y) x_i и y_i , при което се получава сума S_i и пренос P_i .

При събиране на многоразрядни числа към разредите x_i и y_i се прибавя и преносът P_{i-1} , получен от сумирането на двата по-младши разряда. Тогава суматорът има три входа и два изхода и се нарича пълен. Пълният едноразряден суматор е схема, която реализира сумирането по модул 2 на едноименните разряди x_i и y_i на две двоично представени числа X и Y и преносът от сумирането в предходния разряд P_{i-1} .

Синтезът на полусуматор и пълен суматор се осъществяват на базата на таблиците им на истинност, от които се определят функциите за сума S_i и пренос P_i .

Мултиплексори

Мултиплексорът (*multiplexer*) е комбинационна логическа схема (КЛС), която има n управляващи входа $x_1, x_2, \dots, x_n$, 2^n информационни входа $y_0, y_1, \dots, y_{2^n-1}$ и един изход z (фиг. 7.1). При зададен набор m_i на управляващите променливи изходът z е инверсен на променливата y_i от i -ия информационен вход. В типовите мултиплексори $n = 2, 3$ или 4 .



Фиг. 7.1. Условно означение на мултиплексор

Действието на един мултиплексор се описва от следното логическо уравнение

$$z = m_0 y_0 + m_1 y_1 + \dots + m_{2^n-1} y_{2^n-1};$$

Мултиплексорите обикновено имат и един допълнителен вход c , с който е умножена изходната функция z' .

$$z' = c \bigvee_{i=0}^{2^n-1} m_i y_i.$$

Освен основното си приложение (комутация на сигнали), мултиплексорите (MS или MUX) могат да бъдат използвани за построяване на постоянни запомнящи устройства (ПЗУ) с обем $2^n \times 1$ бита (n – брой на адресните входове) и за синтез на КЛС изпълняващи всяка функция $f(x_1, x_2, \dots, x_n)$. При използването на мултиплексорите в качеството на ПЗУ на информационните входове се подават неизменящи се във времето сигнали 0 и 1. Прочитането на данните се извършва чрез подаването на съответстващи сигнали на адресните входове. В този случай MS реализира някаква функция представена в СДНФ. Действително ако в израза

$$f = z = \bigvee_{i=0}^{2^n - 1} m_i y_i \quad (7.1)$$

се положи $y_i = 0$ и 1 съотношението (7.1) представлява СДНФ на f .

Схеми за сравнение (цифрови компаратори)

Функцията сравнение на двоична информация се използва за контрол и проверка. Схемите от този вид са предназначени за сравняване на две двоични числа X и Y . Резултатът от сравнението се представя чрез сигнал 1 на съответен изход. Използват се обикновено три основни изхода, съответстващи на случаите: $X=Y$; $X>Y$ и $X<Y$. Цифрови компаратори, които могат да регистрират и трите състояния се наричат *магнитудни* (Magnitude Comparator).

За да бъдат две двоични числа X и Y равни, необходимо е да бъдат равни едноименните им разреди. Равенството на едноименните разреди x_i и y_i се установява чрез логически елемент “равнозначност” ($x_i \sim y_i \Leftrightarrow \overline{x_i} \overline{y_i} + x_i y_i$). Функцията $f_{\text{равнозначност}}$ представлява логическо произведение на равнозначностите от двойките едноименни разреди

$$f_{\text{равнозначност}} = \bigwedge_{i=0}^{2^n - 1} (x_i \sim y_i).$$

Тази функция може да бъде представена и чрез елементи сума по модул 2 (логическа неравнозначност), свързани към едноименните разреди на двете двоични числа X и Y

$$f_{\text{равнозначност}} = \bigvee_{i=0}^{2^n - 1} (x_i \oplus y_i).$$

ЗАДАЧИ ЗА ИЗПЪЛНЕНИЕ

1. Да се синтезира полусуматор и пълен суматор.
2. Да се реализират функциите с 8-битов мултиплексор:

$$f_1 = x_1 x_3 + x_1 \overline{x_2} + x_2 x_3;$$

$$f_2 = x_2 x_3 \overline{x_4} + \overline{x_3} x_4 + x_1 \overline{x_2} + x_1 x_3$$

3. Да се синтезира магнитуден цифров компаратор (Magnitude Comparator) за сравняване на две двоични числа с по два разряда.

НАЧИН НА РАБОТА

Упражнението се изпълнява по указание на ръководителя на занятиято.

По точка 1 от представните таблици на истинност на полусуматор (таблица 7.1) и пълен суматор (таблица 7.2) с всички възможни комбинации на входните променливи x_i и y_i (едноименните разреди на двете числа X и Y и с необходимите изходи (P_i и S_i)) за всеки набор от двоични променливи. В таблица 7.2 е включена и трета променлива, пренсът от сумирането на по-младшите разряди P_{i-1} . В съответствие с

получените аналитични форми на функциите P_i и S_i се чертаят структурните схеми на полусуматора и пълния суматор.

Таблица 7.1
Таблица на истинност

x_i	y_i	P_i	S_i
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	0

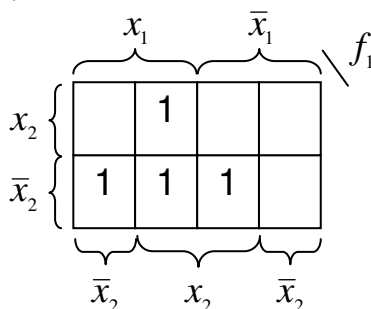
Таблица 7.2
Таблица на истинност на едноразряден пълен суматор

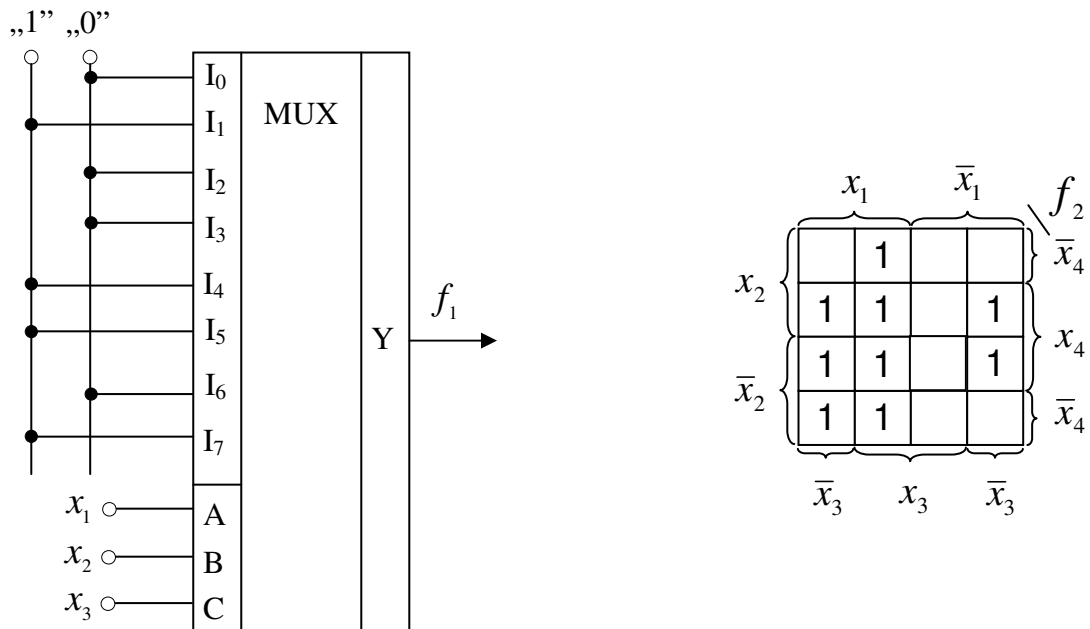
x_i	y_i	P_{i-1}	P_i	S_i
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

По точка 2 за реализацията на логическите функции с помощта на MS (използва се 8-битов мултиплексор SN74151) е необходимо те да бъдат представени в СДНФ. Когато функцията е на три променливи, информационните входове на MS се свързват към 0 или 1, като се има пред вид стойността на функцията за всеки един от наборите. По такъв начин на информационните входове се подават неизменящи се във времето сигнали 0 и 1. Прочитането на данните се извършва чрез подаването на съответстващи сигнали на адресните входове. В този случай MS реализира функцията представена в СДНФ.

Когато функцията е на четири променливи ($f_2(x_1, x_2, x_3, x_4)$), а мултиплексорът е с три управляващи входа (8-битов мултиплексор SN74151) се прави следното. Функцията се представя в таблица на истинност (таблица 7.3). Наборите се разделят по двойки. Получават се осем двойки набори, колкото са информационните входове на MS. Двойките набори се означават с $I_0, I_1, \dots, I_{2^n-1}$. Стойностите на функцията за всяка двойка набори се сравняват със стойностите на най-младшата променлива x_4 . Като резултат от сравнението са възможни случаите: $I_i = x_4$, $I_i = \bar{x}_4$, $I_i = \text{const}1$ и $I_i = \text{const}0$. След това информационните входове I_i се свързват към неизменящи се във времето сигнали 0 и 1 и към шините съответстващи на сигналите x_4 и инверсията ѝ $\bar{x}_4$ (фиг. 7.3).

Функцията $f_1(x_1, x_2, x_3) = x_1x_3 + x_1x_2 + x_2x_3$ се представя в СДНФ, като се използва карта на Вейч.



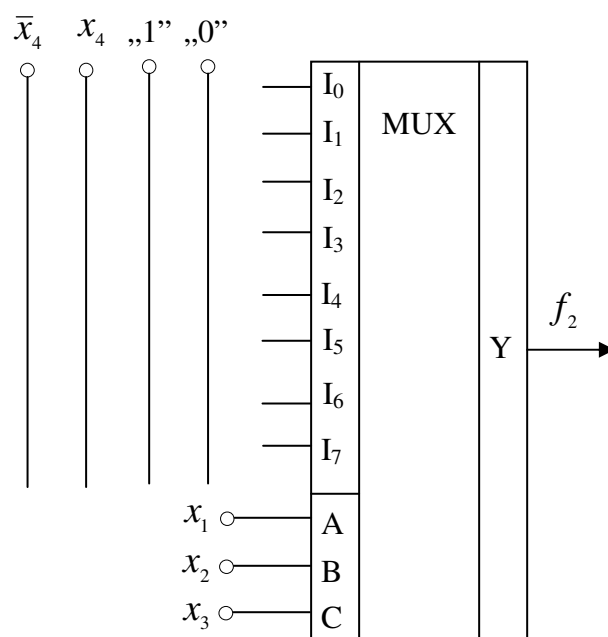


Фиг. 7.2 Реализация на f_1
с MUX SN74151

$$f_2(x_1, x_2, x_3, x_4) = x_2 x_3 \bar{x}_4 + \bar{x}_3 x_4 + x_1 \bar{x}_2 + x_1 x_3$$

Таблица 7.3

№	x_1	x_2	x_3	x_4	f_2	
0	0	0	0	0	0	$I_0 = x_4$
1	0	0	0	1	1	
2	0	0	1	0	0	$I_1 = 0$
3	0	0	1	1	0	
4	0	1	0	0	0	$I_2 = x_4$
5	0	1	0	1	1	
6	0	1	1	0	1	$I_3 = \bar{x}_4$
7	0	1	1	1	0	
8	1	0	0	0	1	$I_4 = 1$
9	1	0	0	1	1	
10	1	0	1	0	1	$I_5 = 1$
11	1	0	1	1	1	
12	1	1	0	0	0	$I_6 = x_4$
13	1	1	0	1	1	
14	1	1	1	0	1	$I_7 = 1$
15	1	1	1	1	1	



Фиг. 7.3. Реализация на f_2 с MUX SN74151

По точка 3 се синтезира магнитуден цифров компаратор (Magnitude Comparator) за сравняване на две двоични числа с по два разряда, като се използва таблица 7.4.

От таблица 7.4 се намират аналитичните изрази на функциите $f(x > y)$, $f(x < y)$ и $f(x = y)$, след което се построява схемата на магнитудния цифров компаратор.

Аналитичните изрази на трите функции се намират след представянето им в карти на Вейч и минимизирането им.

Таблица 7.4
Таблица на истинност на магнитудния цифров компаратор

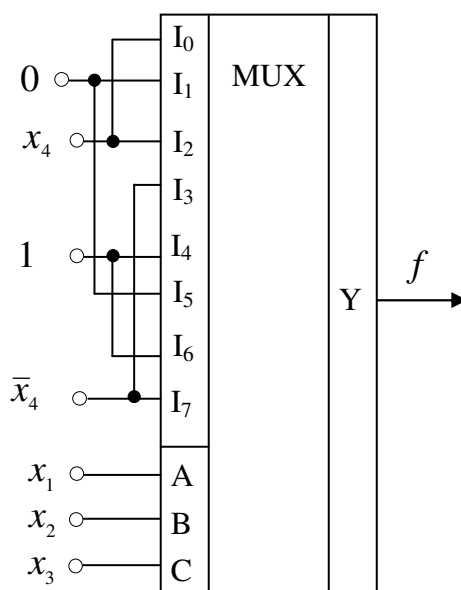
x_1	x_2	y_1	y_2	$f(x > y)$	$f(x < y)$	$f(x = y)$
0	0	0	0	0	0	1
0	0	0	1	0	1	0
0	0	1	0	0	1	0
0	0	1	1	0	1	0
0	1	0	0	1	0	0
0	1	0	1	0	0	1
0	1	1	0	0	1	0
0	1	1	1	0	1	0
1	0	0	0	1	0	0
1	0	0	1	1	0	0
1	0	1	0	0	1	0
1	0	1	1	0	1	0
1	1	0	0	1	0	0
1	1	0	1	1	0	0
1	1	1	0	1	0	0
1	1	1	1	0	0	1

СЪДЪРЖАНИЕ НА ПРОТОКОЛА

Таблицы на истинност и минимизационни карти на Вейч (Карно), аналитични форми и преобразувания на резултативни логически функции, структурни схеми, оценки и изводи за синтезираните схеми по точки 1, 2 и 3.

КОНТРОЛНИ ВЪПРОСИ И ЗАДАЧИ

1. Как действа едноразредният комбинационен суматор с два и три входа?
2. Какви логически разновидности на суматор с два (три) входа познавате?
3. Как може да се реализира пълен суматор чрез два полусуматора?
4. Какво е предназначението на схемите за сравнение (цифровите компаратори)?
5. Какви изходи могат да имат схемите за сравнение и какви зависимости съществуват между тях?
6. Как се синтезират схеми за сравнение на двоични числа?
7. Що е мултиплексор?
8. Как работи мултиплексорът?
9. Приложения на мултиплексорите?
10. Да се построи структурна схема на мултиплексор с два адресни входа.
11. Да се определи и минимизира функцията f реализирана със схемата от фиг. 7.4.
12. Да се построи схема реализираща функцията $f(x_1, x_2, x_3, x_4) = \sum m_i(0, 3, 4, 5, 8, 10, 12, 15)$, $n = 4$, като се използва осемвходов мултиплексор.



Фиг. 7.4 MUX SN74151