

АНАЛИЗ И СИНТЕЗ НА ЛОГИЧЕСКИ СХЕМИ

Лекция

8.1. СХЕМИ ЗА СРАВНЕНИЕ (ЦИФРОВИ КОМПАРАТОРИ)

8.1.1. Общи сведения, определение, класификация

Функцията сравнение на двоична информация се използва за контрол и проверка. Сравнението се осъществява по пътя на формирането на три функции от блокове за сравнение, приемащи логическа „1” при изпълнение на съответно условие и логическа „0” в противен случай. Цифровите компаратори са комбинационни логически схеми, използващи се в цифрови изчислителни машини и в устройства на дискретната автоматика. Предназначени са за сравнение на две числа (думи) А и В, зададени в една от разновидностите на двоичния код. Резултатът от сравняването се регистрира със сигнал 1 на съответен изход за едно от трите възможни състояния: А=В, А>В и А<В. Компаратори, които могат да регистрират и трите състояния, се наричат магнитудни компаратори (Magnitude Comparator). Определят се още и като универсални, тъй като дават три изходни сигнала: 1F=1, ако А=В; 2F=1, ако А>В; 3F=1, ако А<В.

Вторият тип са прости компаратори или схеми за равнозначност, даващи изходен сигнал F=1, ако А=В, т.е. при равенство на едноименните разряди на тези две числа (А и В).

Основни операции, изпълнявани от схемите за сравнение са определяне признака за равенство или неравенство на две сравнявани n-разрядни числа, при това в последния случай операцията сравнение може да се съпровожда с определяне знака за неравенство.

Синтезът на схема за сравнение, която позволява да се определи фактът за равенство (А=В) или неравенство (А≠В) на две числа А и В е сравнително просто.

Нека $A = a_n a_{n-1} \dots a_i \dots a_2 a_1$ и $B = b_n b_{n-1} \dots b_i \dots b_2 b_1$ са двоични n-разрядни числа. Равенството на две двоични n-разрядни числа се отнася и за равнозначността на цифрите на всички разряди. Значението на функциите равнозначност ($F_i A=B$) и неравнозначност ($F_i A \neq B$) на цифрите в i-тите разряди на сравняваните числа А и В е показано в таблицата на истинност (таблица 8.1).

От таблицата на истинност 8.1 следва, че функцията равнозначност на i-тите разряди на сравняваните числа се определя с израза (8.1)

$$F_{i A=B} = \bar{a}_i \bar{b}_i + a_i b_i \quad (8.1)$$

Таблица 8.1.

Таблица на истинност на функциите равнозначност и неравнозначност на i-тите разряди на две числа

a_i	b_i	$F_{i A=B}$	$F_{i A \neq B}$
0	0	1	0
1	0	0	1
0	1	0	1
1	1	1	0

Тогава функцията за равнозначност на две числа ($F A=B$) може да се представи във вида (8.2)

$$F_{A=B} = (\bar{a}_n \bar{b}_n + a_n b_n)(\bar{a}_{n-1} \bar{b}_{n-1} + a_{n-1} b_{n-1}) \dots (\bar{a}_i \bar{b}_i + a_i b_i) \dots \dots (\bar{a}_1 \bar{b}_1 + a_1 b_1) = \bigwedge_{i=1}^n (\bar{a}_i \bar{b}_i + a_i b_i) \quad (8.2)$$

По аналогия функцията за неравнозначност ($F A \neq B$) на тези две числа може да бъде представена в следната форма (8.3)

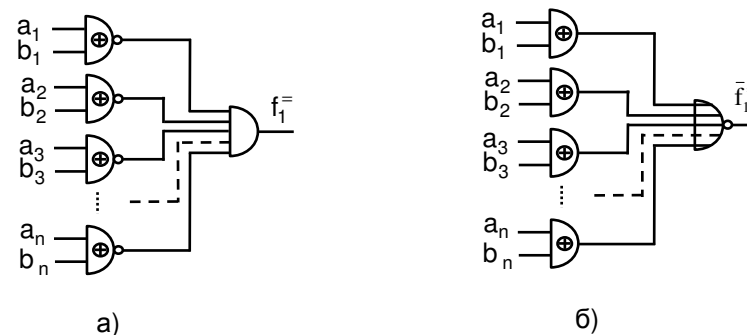
$$F_{A \neq B} = \bigvee_{i=1}^n (a_i \bar{b}_i + \bar{a}_i b_i) \quad (8.3)$$

Тъй като ($F A=B$) и ($F A \neq B$) са взаимно инверсни функции, за схемотехнична реализация може да бъде използвано всяко от уравненията (8.2) или (8.3). От тези два израза може да се получат n битови изходни функции, имащи вида (8.4) и (8.5).

$$f_1 = (A_1 B_1 + \bar{A}_1 \bar{B}_1)(A_2 B_2 + \bar{A}_2 \bar{B}_2)(A_3 B_3 + \bar{A}_3 \bar{B}_3) \dots (A_n B_n + \bar{A}_n \bar{B}_n) \quad (8.4)$$

$$\bar{f}_1 = A_1 \bar{B}_1 + \bar{A}_1 B_1 + A_2 \bar{B}_2 + \bar{A}_2 B_2 + A_3 \bar{B}_3 + \bar{A}_3 B_3 + \dots + A_n \bar{B}_n + \bar{A}_n B_n \quad (8.5)$$

Съставянето на схема за сравнение за откриване на равенство (равнозначност) на две n битови двоични числа е сравнително просто (фиг. 8.1 а), с ЛЕ „равнозначност” или фиг. 8.1 б), с ЛЕ „сума по модул 2”), след като в случая са известни изразите на n битовата изходна функция (8.4) или (8.5).



Фиг. 8.1. Схема за сравнение на две двоични числа: а) с ЛЕ „равнозначност”; б) с ЛЕ „сума по модул 2”.

За да бъдат две двоични числа А и В равни, необходимо е да бъдат равни едноименните им разряди. В схемата за сравнение на двете двоични числа А и В (фиг. 8.1 а), равенството на едноименните разряди се установява чрез логически елемент „равнозначност“ ($a_i \sim b_i \Leftrightarrow \bar{a}_i \bar{b}_i \vee a_i b_i$). Функцията f_1^- (f_1^- , f_1 или $FA=B$) представлява логическо произведение на равнозначностите от двойките едноименни разряди (8.6).

$$f_1^- = \bigwedge_{i=1}^n (a_i \sim b_i) \quad (8.6)$$

Тя (f_1^-) може да бъде представена и чрез елементи „сума по модул 2“, свързани към едноименните разряди на А и В (фиг. 8.1 б) (8.7).

$$f_1^- = \bigvee_{i=1}^n (a_i \oplus b_i). \quad (8.7)$$

8.1.2. Синтез на магнитуден цифров компаратор (Magnitude Comparator)

Разглеждат се две цели двоични числа X и Y и нека $f(x=y)$, $f(x>y)$ и $f(x<y)$ са напълно определени Булеви функции такива, че:

$$f(x=y) = \begin{cases} 1, & \text{ако } X = Y; \\ 0, & \text{ако } X \neq Y; \end{cases} \quad (8.8)$$

$$f(x>y) = \begin{cases} 1, & \text{ако } X > Y; \\ 0, & \text{ако } X \leq Y; \end{cases} \quad (8.9)$$

$$f(x<y) = \begin{cases} 1, & \text{ако } X < Y; \\ 0, & \text{ако } X \geq Y. \end{cases} \quad (8.10)$$

Схемата за сравнение ще се нарече схема реализираща функциите $f(x=y)$, $f(x>y)$ и $f(x<y)$. Нека значенията на разрядите на числата X и Y се представят съответно със значенията на променливите x_1, x_2, \dots, x_n и y_1, y_2, \dots, y_n .

При $n=2$ Булевите функции $f(x=y)$, $f(x>y)$ и $f(x<y)$ могат да бъдат зададени в таблица 8.2.

Таблица 8.2.

Таблица на истинност на магнитудния цифров компаратор

x_1	x_2	y_1	y_2	$f(x>y)$	$f(x<y)$	$f(x=y)$
0	0	0	0	0	0	1
0	0	0	1	0	1	0
0	0	1	0	0	1	0
0	0	1	1	0	1	0

0	1	0	0	1	0	0
0	1	0	1	0	0	1
0	1	1	0	0	1	0
0	1	1	1	0	1	0
1	0	0	0	1	0	0
1	0	0	1	1	0	0
1	0	1	0	0	1	0
1	0	1	1	0	1	0
1	1	0	0	1	0	0
1	1	0	1	1	0	0
1	1	1	0	1	0	0
1	1	1	1	0	0	1

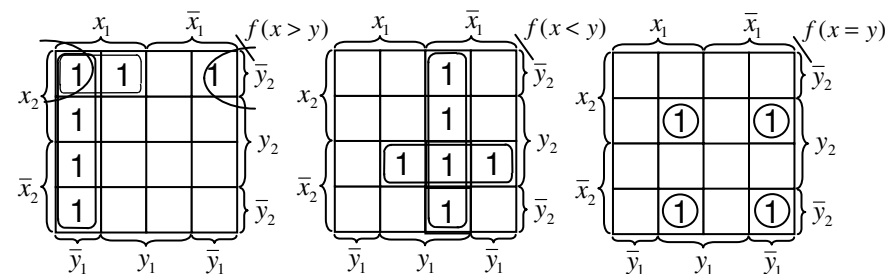
От таблица 8.2 СДНФ на тези функции се представя във вида:

$$f(x>y) = \bar{x}_1 \bar{x}_2 \bar{y}_1 \bar{y}_2 + x_1 \bar{x}_2 \bar{y}_1 \bar{y}_2 + x_1 \bar{x}_2 \bar{y}_1 y_2 + x_1 x_2 \bar{y}_1 \bar{y}_2 + x_1 x_2 \bar{y}_1 y_2 + x_1 x_2 y_1 \bar{y}_2 \quad (8.11)$$

$$f(x<y) = \bar{x}_1 \bar{x}_2 \bar{y}_1 y_2 + \bar{x}_1 \bar{x}_2 y_1 \bar{y}_2 + \bar{x}_1 \bar{x}_2 y_1 y_2 + \bar{x}_1 x_2 y_1 \bar{y}_2 + \bar{x}_1 x_2 y_1 y_2 + x_1 \bar{x}_2 y_1 y_2 \quad (8.12)$$

$$f(x=y) = \bar{x}_1 \bar{x}_2 \bar{y}_1 \bar{y}_2 + \bar{x}_1 \bar{x}_2 \bar{y}_1 y_2 + x_1 \bar{x}_2 y_1 \bar{y}_2 + x_1 x_2 y_1 y_2 \quad (8.13)$$

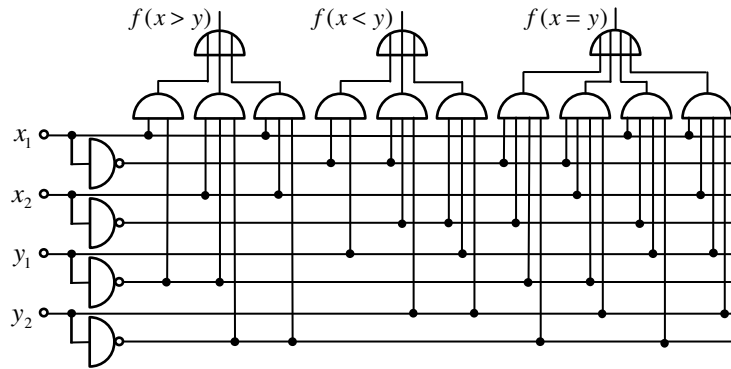
СДНФ на $f(x=y)$ не може да бъде минимизирана. В резултат от минимизацията за $f(x>y)$ и $f(x<y)$ се получава:



$$f(x>y) = x_1 \bar{y}_1 + x_2 \bar{y}_1 \bar{y}_2 + x_1 x_2 \bar{y}_2; \quad (8.14)$$

$$f(x<y) = \bar{x}_1 y_1 + \bar{x}_1 \bar{x}_2 y_2 + \bar{x}_2 y_1 y_2. \quad (8.15)$$

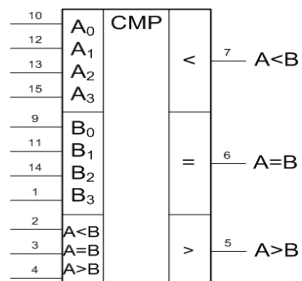
От изрази (8.13), (8.14) и (8.15) е синтезирана структурната схема на цифровия компаратор (схемата за сравнение) (фиг. 8.2).



Фиг. 8.2. Схема на магнитуден цифров компаратор

8.1.3. Цифрови компаратори в интегрално изпълнение

За магнитудно сравняване на многоразредни числа най-напред се сравняват старшите разреди. Ако са различни, само те определят резултата от цялото сравняване (таблица 8.3). Ако са равни, необходимо е да се сравнят следващите по-младши разреди и т.н. Многоразреден магнитуден компаратор може да се изгради от едноразредни, като изходът за равенства на всеки едноразреден магнитуден компаратор управлява допълнителен мултиплексор, предаващ към изхода резултата от сравнението на по-младшите разреди. На фиг.8.3 е представена интегрална схема SN 7485, 4-битов цифров компаратор, един от най-известните интегрални магнитудни компаратори, предназначен за сравняване на 4- и 5- разредни числа:



Фиг. 8.3. ИС SN7485
4 – битов компаратор

- възможно е последователно свързване на два или повече компаратора;
- A0 – A3 – четири битов входен сигнал;
- B0 – B3 – четири битов входен сигнал.

Последователните входове (изводи 2, 3 и 4 на ИС), дават възможност за нарастване на компараторите. Сравняването може да нараства както последователно, така и паралелно.

На фиг. 8.4 е показано последователно нарастване на компаратори за магнитудно сравняване на две 12-разредни двоични числа A и B, като за целта са използвани три

последователно свързани интегрални схеми SN 7485. Изходите за резултата от всеки компаратор се свързват с последователните входове на следващия компаратор, сравняващ по-старшите разреди на числата във веригата. На последователните входове на най-младшия компаратор се подават постоянни логически нива, задаващи начално равенство. Изходите на най-старшия компаратор са изходи на цялата компараторна група. Последователното

нарастване е най-просто, но то е и най-бавно, особено при регистриране на равенството на двете многоразредни числа.

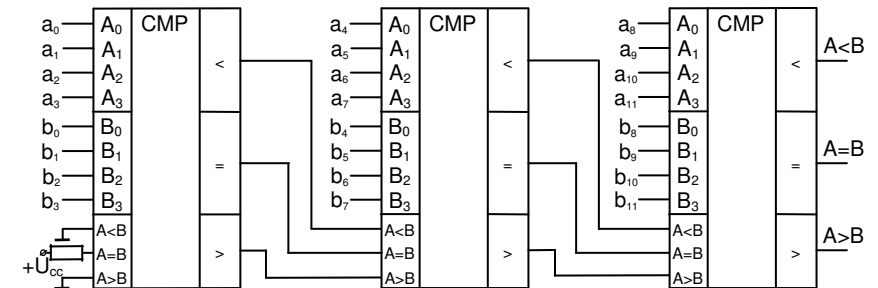
Таблица 8.3
Функционална таблица

Входове за сравняване				Последователни входове			Изходи		
A3, B3	A2, B2	A1, B1	A0, B0	A>B	A<B	A=B	A>B	A<B	A=B
A3 > B3	X	X	X	X	X	X	1	0	0
A3 < B3	X	X	X	X	X	X	0	1	0
A3 = B3	A2 > B2	X	X	X	X	X	1	0	0
A3 = B3	A2 < B2	X	X	X	X	X	0	1	0
A3 = B3	A2 = B2	A1 > B1	X	X	X	X	1	0	0
A3 = B3	A2 = B2	A1 < B1	X	X	X	X	0	1	0
A3 = B3	A2 = B2	A1 = B1	A0 > B0	X	X	X	1	0	0
A3 = B3	A2 = B2	A1 = B1	A0 < B0	X	X	X	0	1	0
A3 = B3	A2 = B2	A1 = B1	A0 = B0	1	0	0	1	0	0
A3 = B3	A2 = B2	A1 = B1	A0 = B0	0	1	0	0	1	0
A3 = B3	A2 = B2	A1 = B1	A0 = B0	0	0	1	0	0	1

7485, 74LS85, 74S85

A3 = B3	A2 = B2	A1 = B1	A0 = B0	X	X	1	0	0	1
A3 = B3	A2 = B2	A1 = B1	A0 = B0	1	1	0	0	0	0
A3 = B3	A2 = B2	A1 = B1	A0 = B0	0	0	0	1	1	0

X – сигналът може да е 0 или 1



Фиг. 8.4. Последователно нарастване на цифрови компаратори

Известни са и схеми за паралелно нарастване на компаратори за сравняване на многоразредни числа. Паралелното нарастване е по-бързо, но е с по-голям разход на елементи.

8.2. МУЛТИПЛЕКСОРИ

8.2.1. Общи сведения, представяне, приложения

Мултиплексорът (multiplexer) е сложна комбинационна логическа схема, която има n управляващи (адресни) входове x_1, \dots, x_n , 2^n информационни входа $y_0, y_1, \dots, y_{2^n-1}$ и един изход z (фиг. 8.5а). Някои мултиплексори имат два изхода-прав и инверсен. При зададен набор m_i на управляващите променливи, изходът z е равен на стойността на променливата y_i от i -мия информационен вход. В противен случай, изходът z е инверсен на стойността на променливата y_i от i -мия информационен вход (при условие, че се използва инверсният изход на мултиплексора \bar{z}).

Действието на мултиплексора се описва със следното логическо уравнение (8.15а):

$$z = m_0 y_0 + m_1 y_1 + \dots + m_{2^n-1} y_{2^n-1} \quad (8.15a)$$

или

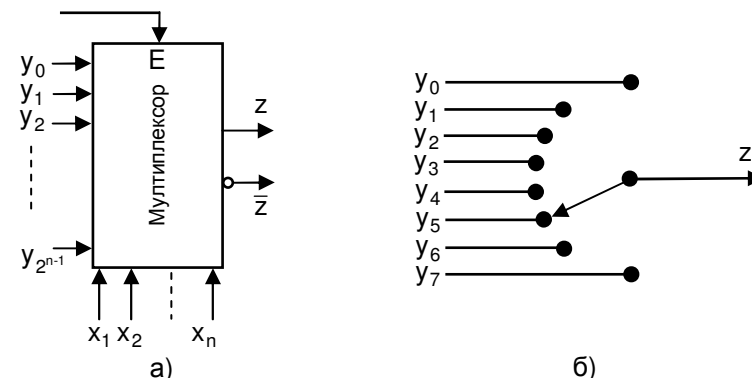
$$z = \overline{m_0 y_0 + m_1 y_1 + \dots + m_{2^n-1} y_{2^n-1}} \quad (8.15b)$$

Таблица 8.4
Таблица на истинност

x_1	x_2	x_3	z
0	0	0	y_0
0	0	1	y_1
0	1	0	y_2
0	1	1	y_3
1	0	0	y_4
1	0	1	y_5
1	1	0	y_6
1	1	1	y_7

Ако се използва инверсният изход на мултиплексора, действието му се описва с уравнението (8.15б).
На всеки информационен вход на мултиплексора се присвоява номер, наричан адрес. При подаване на сигнал за разрешение на вход Е (Enable, допълнителен вход, с който е умножена изходната функция z или \bar{z}), мултиплексорът избира един от входовете, адресът на който се задава в двоичен код на входовете за управление и го включва към изхода (фиг. 8.5б, при която входовете за управление $n = 3$). При избора на информационна линия, мултиплексорът може да се счита за еднополюсен превключвател, избиращ например една от 2^{n-m_e} линии, както е показано на фиг. 8.5б. Следователно мултиплексорите представляват електронен еквивалент на многопозиционен превключвател. В типичните мултиплексори $n = 2, 3$ или 4 .

С отчитане на влиянието на сигнала на вход Е, логическите уравнения,



Фиг. 8.5. Мултиплексор: а) – структурна схема, общ вид; б) – избор на една от осемте линии с помощта на еднополюсен превключвател

описващи действието на мултиплексора ще се представят по следният начин (4.6.2а и 4.6.2б):

$$z' = E \bigvee_{i=0}^{2^n-1} m_i y_i \quad (8.16a)$$

или

$$z' = E \overline{\bigvee_{i=0}^{2^n-1} m_i y_i} \quad (8.16b)$$

Мултиплексорите (MS или MUX) намират широко приложение за комутиране на цифрова информация и за разделяне на цифрови канали по време. С използването на мултиплексори става преобразуване на информацията от паралелен в последователен код и реализиране на произволни логически функции.

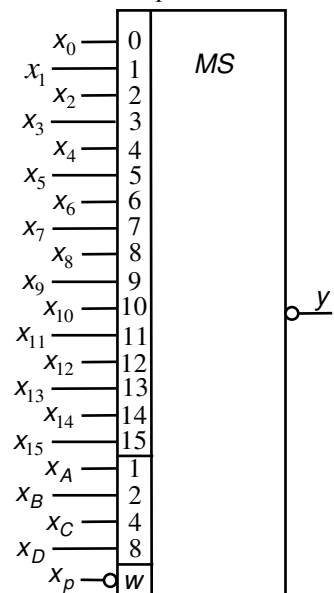
Освен основното предназначение (комутация на сигнали), мултиплексорите могат да бъдат използвани за построяване на постоянни запомнящи устройства (ПЗУ) с обем $2^n \times 1$ бита (n -брой на адресните входове) и за синтез на Комбинационни логически схеми, изпълняващи всяка функция $f(x_1, x_2, \dots, x_n)$. При използването на MS в качеството на ПЗУ на информационните входове се подават неизменни във времето сигнали 0 и 1. Прочитането на данните на сигналите се извършва чрез подаването на съответстващи сигнали на адресните входове. В този случай MS реализира някаква функция представена в СДНФ. Действително, ако в израза (8.17)

$$f = z = \bigvee_{i=0}^{2^n-1} m_i y_i \quad (8.17)$$

се положи $y_i = 0$ и 1 , съотношението (8.17) представлява СДНФ на функцията f . Особено значение има мултиплексорът като средство за реализиране на Булеви функции. С един мултиплексор с n адресни входове може да се построи всяка Булева функция от $n+1$ аргумента. За целта зададената Булева функция е необходимо да се преобразува към уравнение 8.15а, т.е. да се допълни до първа стандартна форма.

8.2.2. Мултиплексори в интегрално изпълнение

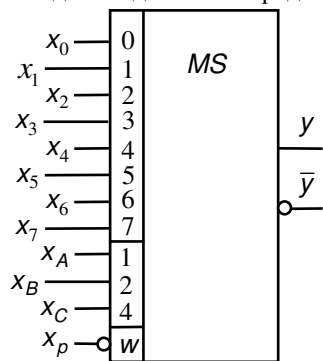
Мултиплексорът (multiplexer) е сложна комбинационна логическа схема, В интегрално изпълнение съществуват редица пълни мултиплексори с



Фиг. 8.6. 16 входов интегрален мултиплексор от типа SN74150

по 1, 2, 3, но най-много 4 адресни входа. На фиг. 8.6 е представена интегрална схема SN 74150. Мултиплексорът SN 74150 е 16 битов и съответно има 16 информационни входа $x_0 \div x_{15}$ и четири адресни входа $x_A \div x_D$. x_P - разрешаващ (стробиращ) вход. При $x_P = 1$ изходът е състояние $y = 1$. Мултиплексорът функционира при $x_P = 0$. От мултиплексора SN 74151 (имащ осем входа $x_0 \div x_7$, три адресни входа x_A, x_B, x_C и два изхода-прав и инверсен, фиг. 8.7) се отличава по това, че не е предвиден прав изход и по броя на входовете.

Когато е необходимо да се изградят мултиплексори с повече от 4 адресни входа (повече от 16 информационни входа), се прилага

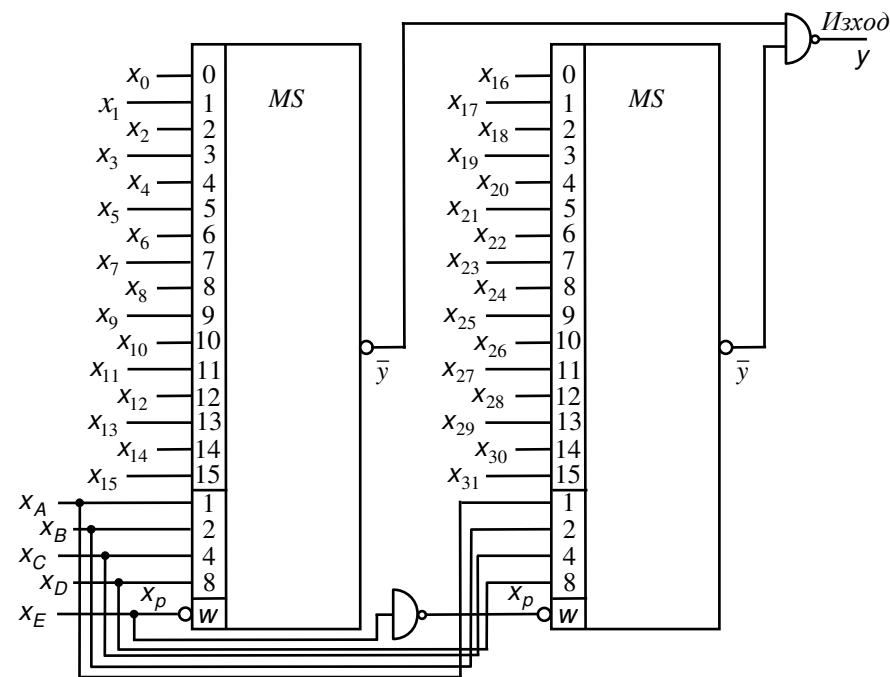


Фиг. 8.7. 8 входов интегрален мултиплексор от типа SN74151

каскадно нарастване на мултиплексирането (стъпално мултиплексиране). В тези случаи мултиплексорите могат да се включват така, че да се увеличава броят на входовете. За целта може да се използва например разрешаващият (стробиращият) вход x_P . Пример за такава схема е дадена на фигура 8.8, като от два 16

битови MS е осъществен 32 битов MS. По такъв начин могат да се изградят MS с още по-голям брой входове.

Ако сигналите $x_A \div x_D$ се подават едновременно на входовете на два мултиплексора 74150, а сигналът x_E (старши разряд) на входа x_P на първия



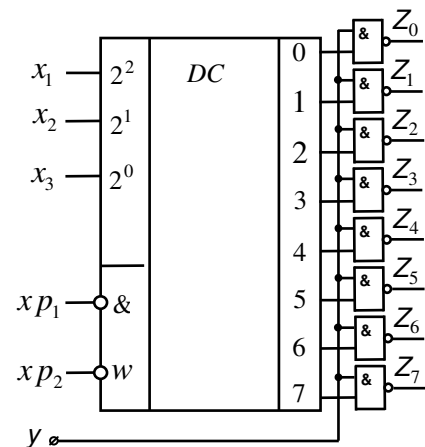
Фиг. 8.8. 32 битов мултиплексор изграден от два 16 битови мултиплексора SN74150

мултиплексор, а след инвертиране на входа x_P на втория мултиплексор, се получава мултиплексор с 32 информационни и 5 адресни входа (фиг. 8.8).

8.3. ДЕМУЛТИПЛЕКСОРИ

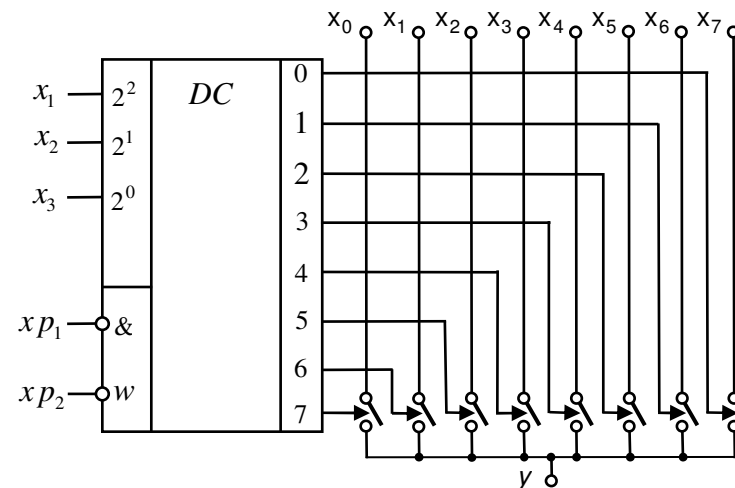
Демултиплексорът (demultiplexer) е комбинационна логическа схема изпълняваща преобразувания обратни на преобразуванията на мултиплексора и има единствен информационен вход y , n управляващи (адресни) входове x_1, \dots, x_n и 2^n изходи $z_0, z_1, \dots, z_{2^n-1}$. При подаване на двоичен код на управляващите входове x_1, \dots, x_n , с десетичен еквивалент n , сигналът от вход y постъпва на изход z_n и само на този изход. Едновременно на всички

останали изходи се установяват нулеви сигнали (фиг. 8.9). Поведението на демултиплексора се описва със системата Булеви функции (8.18). Сигналите x_{p1} и x_{p2} (разрешение, стробиране) с активното си ниво разрешават работата на дешифратора DC . Функционирането на този демултиплексор може да се определи и с таблица 8.5.



Фиг. 8.9. Схема на демултиплексор

$$\begin{aligned}
 z_0 &= \bar{x}_1 \bar{x}_2 \bar{x}_3 y; \\
 z_1 &= \bar{x}_1 \bar{x}_2 x_3 y; \\
 z_2 &= \bar{x}_1 x_2 \bar{x}_3 y; \\
 z_3 &= \bar{x}_1 x_2 x_3 y; \\
 z_4 &= x_1 \bar{x}_2 \bar{x}_3 y; \\
 z_5 &= x_1 \bar{x}_2 x_3 y; \\
 z_6 &= x_1 x_2 \bar{x}_3 y; \\
 z_7 &= x_1 x_2 x_3 y.
 \end{aligned}
 \tag{8.18}$$



Фиг. 8.10. Схема на мултиплексор / демултиплексор – ‘4051.

Таблица 8.5
Таблица на истинност на демултиплексора

Входове за управление			Изходи							
x_1	x_2	x_3	z_0	z_1	z_2	z_3	z_4	z_5	z_6	z_7
0	0	0	y	0	0	0	0	0	0	0
0	0	1	0	y	0	0	0	0	0	0
0	1	0	0	0	y	0	0	0	0	0
0	1	1	0	0	0	y	0	0	0	0
1	0	0	0	0	0	0	y	0	0	0
1	0	1	0	0	0	0	0	y	0	0
1	1	0	0	0	0	0	0	0	y	0
1	1	1	0	0	0	0	0	0	0	y

В интегралната схемотехника като демултиплексори могат да се използват дешифраторите, при условие, че притежават вход за разрешение, чието активно ниво съпада с активното ниво на изходите.

В CMOS сериите съществуват универсални мултиплексори/демултиплексори, които пропускат сигналите в двете посоки, т.е. могат да служат като мултиплексори и като демултиплексори (пропусканите сигнали могат да бъдат аналогови в диапазона на захранващото напрежение). Пропускането на сигналите се извършва от аналогови CMOS ключове. Последните се управляват унитарно от декодираща логика (фиг. 8.10).