

# Чипсети

## I. Въведение

Както вече знаете при компютърните системи микропроцесорът има една основна задача, а именно: да изпълнява последователността от инструкции, които операционната система му доставя. Микропроцесорите изпълняват всяка инструкция чрез викането на съответните процедури, които съдържат микрокод (програмен код, който микропроцесорите изпълняват). За микропроцесора е важно кой е източника на инструкции дотолкова, доколкото трябва да се съобрази дали дадена инструкция е позволено да се изпълни или не. Това е свързано с нивото на привилегия на програмния код и следователно със сигурността на цялата система. Има инструкции, които е допустимо да бъдат изпълнявани само от ядрото на операционната система, други само от ядрото и програмните драйвери, а останалите могат да се изпълняват от всички, включително и всяка приложена програма.

За да може микропроцесорът да изпълнява инструкции с максимална скорост, операционните кодове на инструкции и данните, свързани са тях, се записват в L1 кеш. Причината за това е, че микропроцесорът има физическа връзка само с L1 кеш. Следователно, трябва да има устройство, което зарежда L1 кеш с необходимите за процесора инструкции и данни. Освен това, съвременните компютърни конфигурации са с отворена архитектура. Това означава, че базовата конфигурация може да бъде разширявана с нови периферни устройства. Комуникацията на периферията се реализира или чрез системната шина (ISA, EISA, PCI, PCIe) или чрез стандартни интерфейси (USB, FireWire, Bluetooth и др.). За тази комуникация не може да отговаря микропроцесора, тъй като това би намалило неговата производителност. Следователно, необходима е допълнителна апаратна част чрез която да се реализира синхронизацията на обмена с периферията. Тази апаратна част трябва и да уведомява микропроцесора за наличие на заявки за обмен от страна на всяко периферно устройство. Микропроцесорът обслужва тези заявки чрез викане на съответния програмен драйвер. За целта, при всеки „заден“ фронт на тактовия сигнал на микропроцесора (CPU CLOCK), се проверява дали има такива заявки.

Апаратната част, която „помага“ на процесора при синхронизиране на обмена CPU-cache-DRAM и синхронизиране на обмена с периферията, се нарича чипсет. Чипсетът е група от интегрални схеми, които управляват потока от данни между микропроцесора, оперативната памет и периферията. Тези интегрални схеми физически се намират на дънната платка. От чипсета зависи: микропроцесорите с които може да работи дънната платка; типа и максималния размер на оперативната памет; типа на системната шина; типа и максималния брой слотове за разширение на конфигурацията; типа и броя на интегрираните в чипсета контролери; възможността за създаване на многопроцесорни дъна и др. Следователно, от чипсета до голяма степен зависи производителността на една компютърна система.

Първите персонални компютри, които използват чипсет, са IBM PC AT с микропроцесор Intel 80286. При тях се използва чипсет (NEAT), разработен от фирма Chips and Technologies през 1984 г. Съществуват два основни дизайна за чипсети: чипсети с *мостова архитектура* и чипсети с *хъбова архитектура*. Чипсетите с мостова архитектура

започват да се използват при компютърни конфигурации с PCI системна шина. Целта е да се минимизира броя на интегралните схеми, които се използват с цел синхронизиране на обмена между микропроцесора, оперативната памет и периферията. При чипсетите с мостова архитектура се използват два големи чипа: северен мост и южен мост. Северният мост управлява обмена между микропроцесора, кеш паметта и оперативната памет. Южният мост управлява обмена с периферията.

Тъй като чипсетите с мостов дизайн имат редица недостатъци, следващото поколение чипсети са тези с хъбова архитектура. При тази архитектура функциите на северния мост се изпълняват от Memory Controller Hub (MCH), а функциите на южния мост – от Input-output Controller Hub (ICH). Хъбовата архитектура се имплементира по различен начин от различните фирми, производители на чипсети. Например, някои от чипсетите на Intel използват Platform Controller Hub (PCH), който функционално замества южния мост. Връзката между CPU и PCH се реализира чрез Direct Media Interface (DMI). При чипсетите на AMD вместо PCH се използва Fusion Controller Hub (FCH), а вместо DMI - Unified Media Interface (UMI). Тенденцията е все по-висока степен на интеграция и създаване на едночипови системи, които ще обединят функциите на чипсета в една интегрална схема.

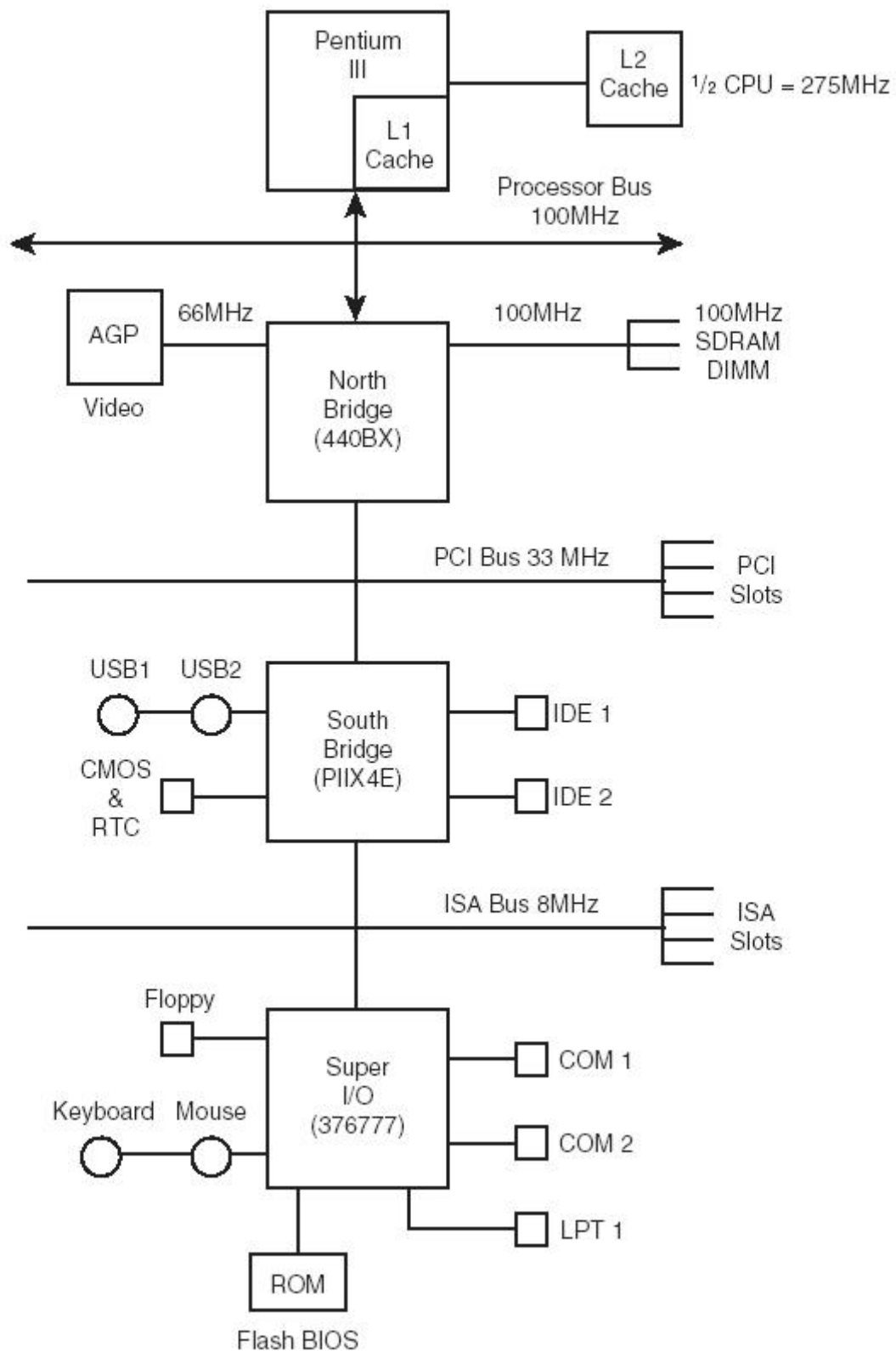
## II. Чипсети с мостова архитектура

Чипсетите с мостов дизайн се разработени за компютърни конфигурации с PCI системна шина. Първите дъна с тази шина използват микропроцесори Intel Pentium (P5). Тези чипсети се реализират чрез няколко интегрални схеми:

- Северен мост – отговаря за управлението на обмена на данни между микропроцесора, всички нива на кеш паметта и оперативната памет.
- Южен мост - отговаря за управлението на обмена с бързата периферия. Към бързата периферия се причисляват интерфейсите за управление на външни запомнящи устройства (IDE, SCSI), USB и други високоскоростни интерфейсите. Южният мост отговаря и за обмена с интегралната схема, която реализира часовника за реално време - Real Time clock (RTC) и интегрираната в нея памет (CMOS). Тази енергонезависима памет (използва се батерия за запазването ѝ) се използва с цел запомняне на текущата компютърна конфигурация (брой и параметри на твърдите дискове, парола за BIOS, парола за компютъра и др.).
- Super I/O чип - отговаря за управлението на обмена с бавната периферия. Към бавната периферия се причисляват: интерфейса за връзка с флопи устройства; интерфейса за връзка с мишка и клавиатура; бавните последователни асинхронни интерфейси RS-232-C (COM x) и бавния паралелен интерфейс Centronics (LPT x). Този чип има за задача и да генерира адреса на първа инструкция от BIOS след сигнал Reset (студен или топъл старт на компютърната система). Обменът на данни между Super I/O чип и южния мост се реализира чрез системната шина, която се използва преди PCI. Това е шината Industrial Standard architecture (ISA).

На Фиг. 1 е показана структурата на чипсет с мостова архитектура на фирма Intel. Северният мост е изграден чрез чипа 82440BX, а южният мост чрез чипа PIIX4E. За Super I/O чип се използва 376777. Това е чипсет за процесори Intel P III с две нива на кеш паметта. Комуникацията между CPU, кеш паметта и северния мост се реализира чрез „процесорна“ шина, която в случая работи на 100MHz. Чипсет 440BX поддържа работа с SDRAM тип оперативна памет, по точно PC-100. Това е един от първите чипсети, които

поддържат надстройката на шина PCI наречена Accelerated Graphics Port (AGP). Интерфейсът AGP се използва с цел да се ускори обмена с видеоконтролер. Вместо да се използва PCI видеоконтролер, при този чипсет се използват AGP видеоконтролери, които директно се свързват към северния мост (не е необходимо видеосигнала да преминава през южния мост, за да достигне до северния мост).



Фиг. 1. Чипсет с мостова архитектура (Intel 82440BX)

Системната шина, която чипсет 840ВХ поддържа, е PCI с честота на синхронизация 33.33 MHz. При чипсетите с мостова архитектура, системна шина PCI се използва не само за комуникация с контролери посредством разширителните слотове, но и за комуникация между двата моста. Чипсетите с мостова архитектура имат редица подобрения във времето. Например, чипсет 440 LX поддържат конфигурации с два Pentium II процесора, а 440 NX – конфигурации с четири Pentium II Xeon процесора.

Всички разновидности на чипсетите с мостов дизайн имат няколко недостатъка:

- Системната шина (PCI) не се използва изцяло по предназначение. Освен за синхронизиране на обмена с периферията, тя се използва и за обмен на данни между двата моста. Когато се реализира обмен между мостовете, шината е блокирана за обмен с периферията.
- Чипсетите с мостова архитектура поддържат системна шина PCI, която е от споделен тип и следователно не е достатъчно шумоустойчива. Шината е „споделена“ между всички контролери, тъй като всички те едновременно имат достъп до адресната магистрала, която е част от системната шина. Целта е контролерите да „разберат“ дали са адресирани от чипсета или не са адресирани. Тази връзка обаче води до наслагване на електромагнитен шум от всеки един контролер. Този шум води до нестабилна работа на шината при по-голям брой на контролерите, както и влошаване на електромагнитната стабилност на дъното като цяло. Ето защо на една PCI шина не трябва да се свързват повече от четири контролера. Броят на PCI контролерите може да бъде и по-голям, но в този случай трябва да се използват няколко PCI шини, свързани чрез PCI-към-PCI мостове. Независимо от това, ако трябва да се реализира високоскоростен обмен по шина PCI, то тя не е подходяща.
- Паралелната шина ISA (96 сигнала, 8 MiB/s) се използва с цел обмен между Super I/O чип и южния мост. Поради големият брой сигнали, които изграждат тази шина, се затруднява опроводяването на дънната платка, а с това се повишават и електромагнитните смущения.
- Super I/O чип не се използва изцяло по предназначение. Налага се чрез него да се активира BIOS след начално установяване (сигнал Reset).

Така изброените недостатъци са съществени. Те налагат разработването на нов дизайн за чипсети, който няма тези недостатъци. Този дизайн се нарича хъбов.

### III. Чипсети с хъбова архитектура

Причината за анонсиране на чипсетите с хъбова архитектура са недостатъците на чипсетите с мостова архитектура и недостатъчната пропускателна способност на шина PCI. Основната причина за ниската скорост на обмен при различните версии на шина PCI е нейната ниска тактова честота (33MHz, 66MHz, 100MHz и 133MHz). Като се има предвид, че шината е 32-битова (64 бита при PCI-X), то пропускателната способност е от 133 MiB/s до 532 MiB/s. Контролерите, които изискват висока скорост на обмен по системната шина са следните:

- Интерфейс EIDE, режими Ultra DMA при честота на синхронизация 100MHz и 133 MHz.
- Интерфейс USB 2.0 (480 Mb/s).

- Интерфейс IEEE 1394 – от 100 Mb/s до 800 Mb/s.
- Gigabit Ethernet и др.

Следователно, системна шина PCI не е подходяща за пренос на информация при използване на подобни високоскоростни устройства. Необходима е нова системна шина, която е с много по-висока скорост на обмен на данните и по-шумоустойчива от шина PCI. Това налага разработката на чипсет с нова архитектура. Тази архитектура се нарича хъбова. Първите чипсети с хъбова архитектура са на фирма Intel. Те са от серия 8xx и се анонсират на пазара през 1999 г. Те все още използват системна шина PCI. При тези чипсети функциите на северния мост се поемат от MCH - хъб на контролера на паметта. Функциите на южния мост се поема от ICH – хъб на контролера за вход/изход. При чипсетите на Intel е възможно видеоконтролера да бъде интегриран в MCH. В този случай се използва съкращението GMCH (Graphics MCH). Двата хъба комуникират помежду си по специализирана високоскоростна шина наречена Hub Interface Bus (HIB).

На Фиг. 2 е показана в блоков вид структурата на чипсет на фирма Intel (810E), който има хъбова архитектура и използва системна шина PCI. MCH осъществява връзката между високоскоростната системна (процесорна) шина (133 MHz), шината за връзка с оперативната памет (100 MHz), AGP интерфейса (66/133 MHz) и HIB (66 MHz). ICH има връзка с HIB (66 MHz), ATA (IDE) интерфейса (66 MHz) и PCI шината (33 MHz). За разлика от чипсетите с мостова архитектура, при чипсетите с хъбова архитектура комуникацията между ICH и Super I/O чип се реализира чрез нова шина с малък брой сигнали (13) – Low Pin Count (LPC). Тя е само 4-битова, но има скорост на обмен 16.67 MiB/s. При чипсетите с хъбова архитектура има нов модул – хъб за управление на фирмения софтуер - Firmware Hub (FWH). Той се използва с цел комуникация с BIOS (UEFI). Така отпада необходимостта Super I/O чип да адресира фирмения софтуер.

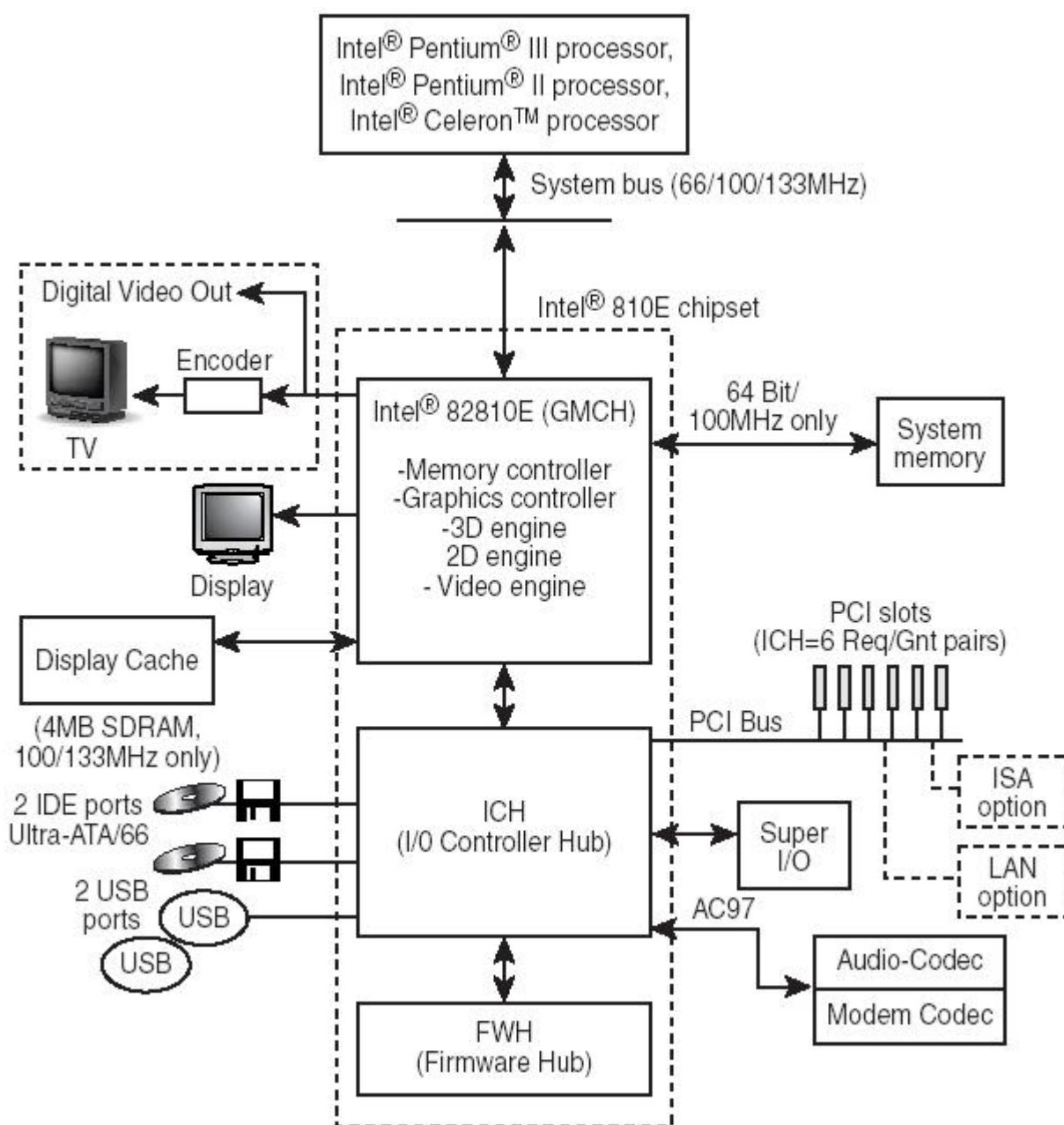
Има две основни разновидности на хъбовия интерфейс (HIB):

- Accelerated Hub Architecture (AHA). Тя се използва от чипсетите от серия 8xx (810, 820, 840, 845, 850) на Intel. Хъбовият интерфейс при AHA е двупосочен, 8-битов, с честота 66 MHz и извършва четири трансфера за един такт. При това положение ефективната му пропускателна способност е 266 MiB/s.
- Direct Media Interface (DMI) се използва от чипсетите от серия 9xx на Intel (910, 915, 925) - виж Фиг. 3. Тези чипсети работят с новата системна шина PCI Express (PCIe). Системната шина PCIe не е от споделен тип, а комуникационния канал е пълен дуплекс (едновременно се предават и четат данни). При тази шина обмена е на ниво магистрали. Една магистрала има 8 линии за четене и 8 линии за запис. Комуникационният канал при PCIe се изгражда от една (PCI 1x) или множество магистрали (PCI 2x, 4x, 8x, 16x). Скоростта на обмен при PCIe 1x е 500 MiB/s, което е съизмеримо с най-високата скорост на обмен, която може да се постигне при шина PCI. Използването на тесни комуникационни канали позволява да се работи с по-висока тактова честота поради намаляване на електромагнитните смущения.

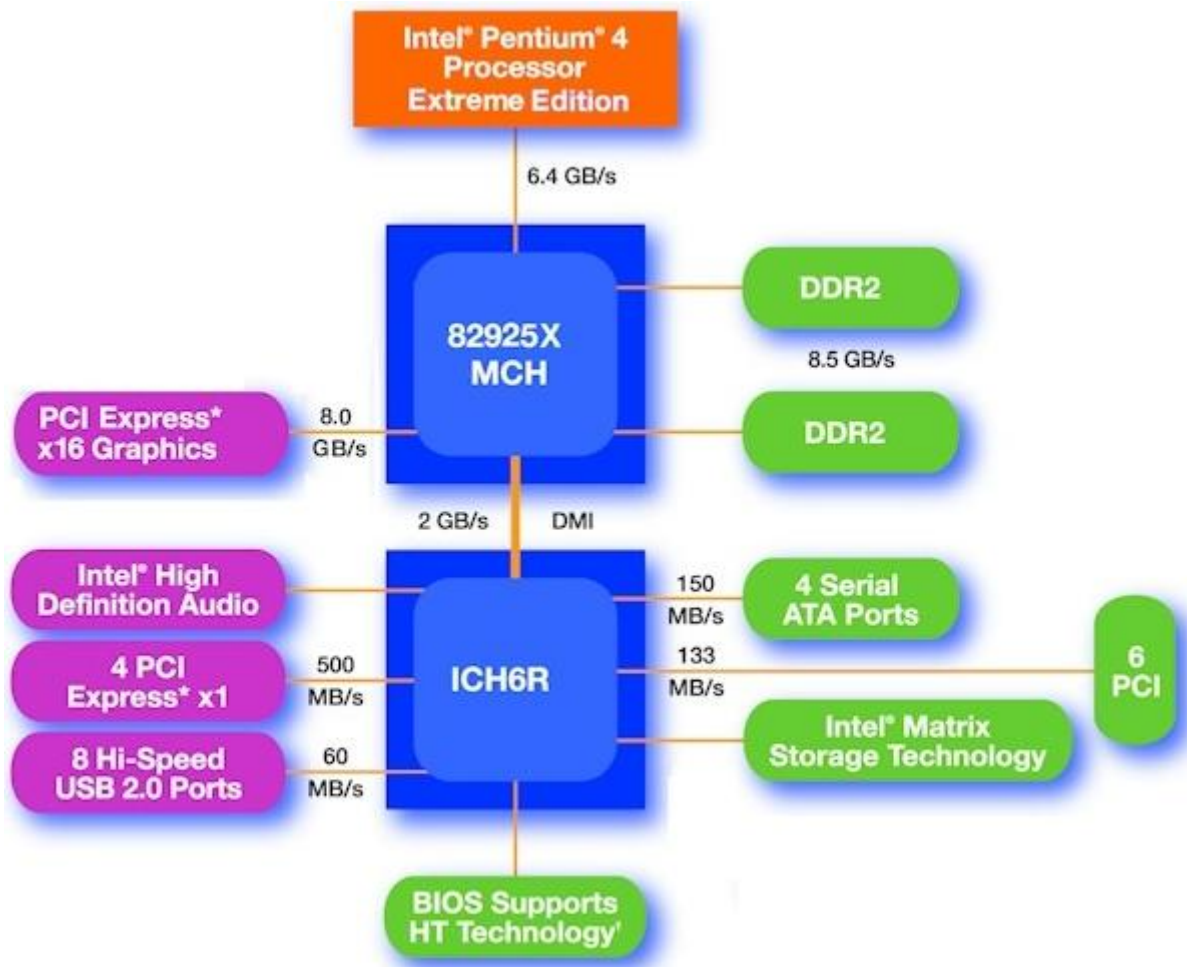
Хъбовата архитектура, която използва шина PCIe, премахва всички недостатъци, характерни за системна шина PCI:

- Системната шина (PCI или PCIe) не се използва с цел комуникация между двата хъба. За целта се използва шина HIB.

- Системна шина PCIe не е от споделен тип и следователно системата има много по-добра шумоустойчивост. При PCIe се използва превключвател чрез който динамично се изгражда комуникационен канал между всеки две крайни устройства, които трябва да реализират обмен. Другите устройства нямат физически достъп до така изградения канал.
- Шина ISA не се използва за комуникация между ICH и Super I/O чип. Тази шина е заместена от шина LPC, която има много по-малко сигнали. Това позволява по-лесно опроводяване на дънната платка и по-малки електромагнитни смущения.
- Super I/O чип не се използва с цел връзка с BIOS. За целта се използва HIB.



Фиг. 2. Чипсет с хъбова архитектура (Intel 82810E) - шина PCI



Фиг. 3. Чипсет с хъбова архитектура (Intel 82810E) - шина PCIe

#### IV. Въпроси и задачи за самостоятелна работа

1. Програмно анализирайте какъв чипсет използва Вашия персонален компютър. Каква е неговата архитектура? Като използвате специализирана литература, опишете основните параметри на този чипсет: какви CPU поддържа, каква оперативна памет и какви интерфейси?
2. Защо тактовата честота при система шина PCI е 33.33 MHz или 66.66 MHz, а не 33.00 MHz или 66.00 MHz?
3. Защо системна шина PCIe при чипсетите с хъбова архитектура използва тесни комуникационни канали?
4. Анализирайте какво означава числото, което следва след ICH при чипсетите на фирма Intel, например ICH 6.
5. За какво може да се използва PCIe 1x и за какво – PCIe 16x?