

ВАЛИДИРАНЕ НА МОДЕЛ НА ЛОГИЧЕСКАТА АРХИТЕКТУРА

FPGA LOGIC ARCHITECTURE MODEL VALID

Валентина Кукенска

ТУ-Габрово

Петър Минев

ТУ-Габрово

Илиан Върбов

ТУ-Габрово

Abstract

In this paper is presented validation of model of FPGA (Field Programmable Gate Array) architecture. Methodology is described and are shown the results of the experiments for the model validation of the FPGA logic architecture.

Keywords: FPGA; logic; architecture; model; valid.

ВЪВЕДЕНИЕ

Проектирането на интегрални схеми е оптимизационен процес. На архитектурно ниво, то е свързано с компромисен избор на стойности за архитектурните параметри. Намирането на оптимално решение изисква голям обем експериментални изследвания при различни комбинации от входните параметри. За тази цел се използват системи за автоматизирано проектиране [2, 5]. При изследване и оптимизация на архитектурата на FPGA, както и за по-бързото намиране на оптимално решение са разработени и се използват архитектурни модели. Чрез тях се изчисляват параметрите на логическата архитектура на схемите. Разработените архитектурни модели са описани в публикациите [1] и [8]. Обект на настоящия доклад е валидирането на предложението в [8] модел. То е направено на базата на проведени експериментални изследвания на архитектурните модели и съпоставка на получените резултати.

ИЗЛОЖЕНИЕ

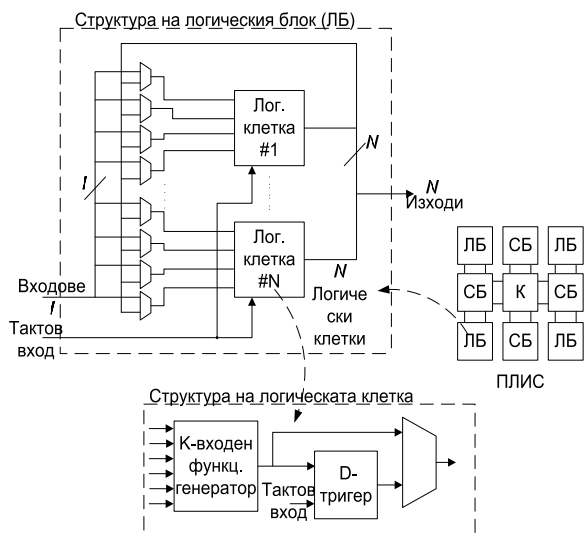
За изследването на разглежданите модели са използвани две системи: 1) за автоматизирано проектиране [5] и 2) за автоматизирано оптимизиране на транзисторно ниво [2]. За решаване на оптимизационната зада-

ча е заложен критерия оптимално съотношение заемана площ–времетраеност за всяка от съставните CMOS схеми. Процесът е съпроводен с множество итерации. За всяка итерация се избира друг размер и друго съотношение в размерите на NMOS и PMOS транзисторите. Генерира се необходимия нетлист и се извършва симулация на схемите. Търсят се размери, които подобряват съотношението заемана площ–времетраеност. Всяка транзистор-на схема се оразмерява и симулира самостоятелно, за да се намали времето за изследване и изчислителната сложност [2].

Получените резултати от системата за оптимизация на транзисторните схеми се залагат като част от архитектурните параметри, използвани от система за проектиране. Тази система представлява набор от инструменти, предназначени за експериментални изследвания при усъвършенстване на FPGA архитектури [3, 6]. Тя може да се използва и за проектиране на цифров хардуер на базата на програмируеми схеми. Спомагателните инструменти, включени в системата, позволяват бързо да се направят и обработят голям брой експерименти за набор от тестови схеми [3].

Съвременните програмируеми ИС имат архитектурата показана на фиг. 1. Тя се

състои от логически блокове (ЛБ) и канали с програмируеми свързващи вериги. За тяхното конфигуриране се използват свързващи блокове (СВ) и комутатори (К).



Фиг. 1. Логическа архитектура на ПЛИС

Структурата на логическия блок, наричана логическа архитектура на FPGA, се състои от N на брой логически клетки. Всяка клетка е с k на брой входове. Програмируемите мултиплексори осигуряват връзката между входовете на логическия блок I , обратните връзки от изходите на логическите клетки и техните входове.

Логическата клетка се състои от k -входен функционален генератор, който се конфигурира, за да изпълнява определена логическа функция. Другите елементи в клетката са D-тригер и мултиплексор за избор на изходния сигнал.

Връзката между основните параметри – големината на логическия блок (N), брой входове на съставлящите го логически клетки (k) и общия брой входове на блока (I) е зададена в аналитичните модели описани в [1] и [8].

Аналитичният модел от [1] представя връзката като линейна функция (1)

$$I = \frac{k}{2} \cdot (N + 1) \quad (1)$$

Аналитичният модел от [8] представя връзката като експоненциална функция (2)

$$I = (k + 1) \cdot N^p - N \quad (2)$$

Параметърът p във формула (2), се нарича константа на Рент и отразява сложността на реализираните в логическия блок схеми [4]. Получените стойности за константата

на Рент за различни k са представени в таблица 1. Зависимостта между p и k е установена експериментално [7].

Таблица 1

k	2	3	4	5	6	7
p	0,85	0,82	0,79	0,74	0,72	0,67

В таблица 2 са представени резултатите от изразите (1) и (2) за един набор от стойности за параметрите k и N . Видно е, че при използване на модел (2) се получава по-малък брой входове за логическия блок. Целта на валидирането е да се провери при използване на кой от двата модела, крайният проект на ИС ще е с по-добри характеристики – заеманата площ и бързодействие. За постигане на тази цел е адаптирана методика за изследване на FPGA архитектури описана в [3].

Таблица 2

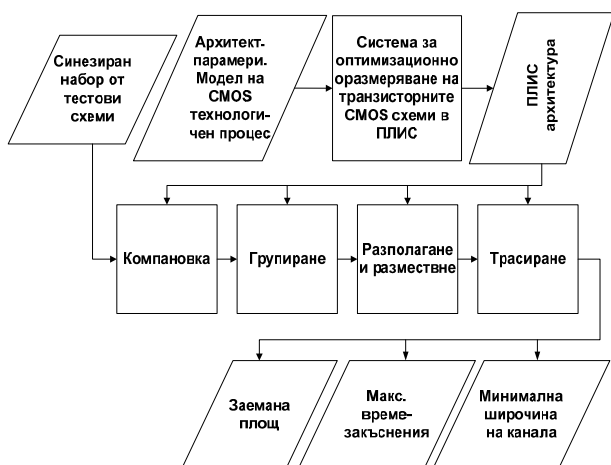
N	6	8	10	12	14	16	18	20
I за (1) при $k=5$	17	22	27	32	37	42	47	52
I за (2) при $k=5$	16	19	22	25	28	30	32	35
I за (1) при $k=6$	28	34	40	46	52	58	64	70
I за (2) при $k=6$	26	30	33	36	39	42	45	47

Изследването е направено за 16 архитектури, чиито параметри са обобщени и представени в таблица 2. Променят са само параметрите, които имат отношение към моделите (1) и (2). Параметърът N се променя от 6 до 20 със стъпка 2, а за k е избрана стойност 6. Параметърът I се изчислява по (1) и (2) за всяка комбинация от N и k . За останалите параметри необходими за формиране на архитектурата на програмируемата схема са избрани фиксирани стойности.

За всяка от архитектурите, посочените в таблица 2 за $k=6$, е извършено оптимизационно изследване със системата за оразмеряване на транзисторните схеми. След намиране на оптималните размери на CMOS схемните елементи системата генерира необходимите параметри за архитектурните описания. За всяко архитектурно описание се извършва автоматизирано проектиране с набор от 20 предварително синтезирани тестови схеми [9].

Етапите в проведеното изследване са представени на фиг. 2. За всяка от тестовите схеми последователно се реализират компоновка, групиране, разполагане и трасиране. Като резултат системата за автома-

тизираното проектиране генерира справка за характеристиките на получената ИС. За всяка архитектура са взети осреднените стойности за 20-те тестови схеми. Получените статистически данни са анализирани и сравнени по три определящи критерия – 1) заемана площ, 2) бързодействие (максимално времезакъснение), 3) ширина на канала за трасиране (брой програмируеми свързващи вериги).

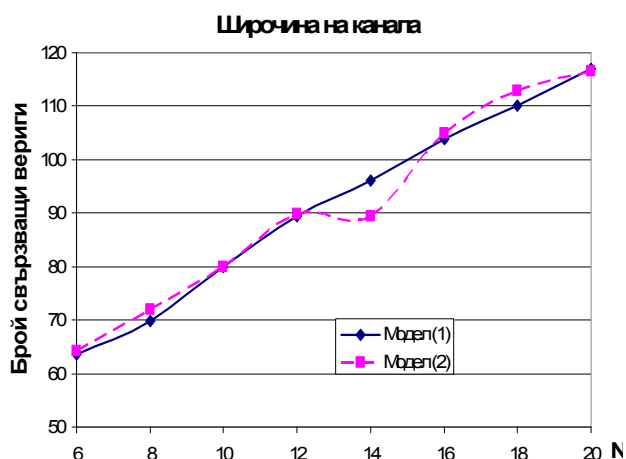


Фиг. 2. Етапи в проведеното изследване за валидиране на модела

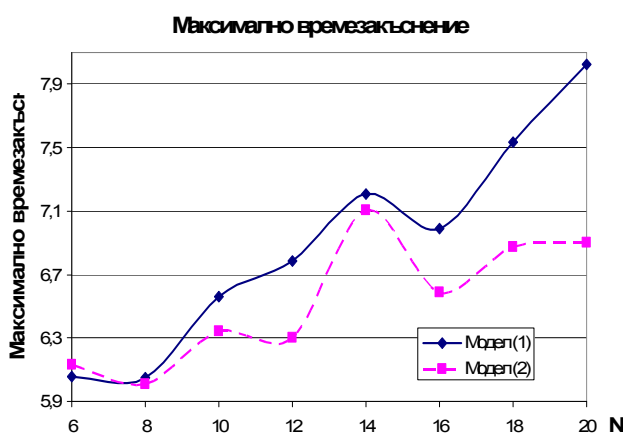
Получените резултати са обобщени и представени в таблица 3 и са графично визуализирани на фигури 3, 4 и 5.

Таблица 3

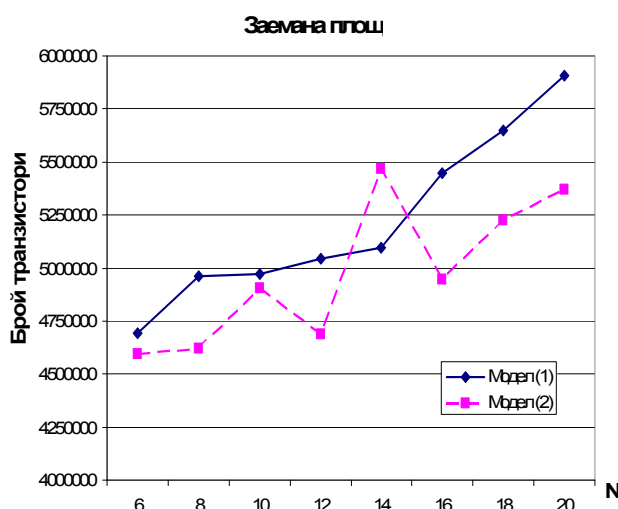
k	N	I	Минимална ширина на канала	Заемана площ (бр. транз.)	Максимално времезакъснение (ns)
Модел 1					
6	6	28	63,65067	4690773,584	6,054108
6	8	34	69,83469	4963392,758	6,049558
6	10	40	79,90596	4970355,779	6,561136
6	12	46	89,35153	5043435,524	6,785368
6	14	52	95,99444	5097191,598	7,206364
6	16	58	103,8471	5444843,526	6,989111
6	18	64	110,1381	5646055,723	7,534621
6	20	70	116,9601	5905861,309	8,023958
Модел 2					
6	6	26	64,24423	4594612,178	6,12882
6	8	30	71,86297	4618237,971	6,010284
6	10	33	80,01675	4903799,464	6,340637
6	12	36	89,74156	4685244,448	6,300227
6	14	39	89,40053	5466462,48	7,102914
6	16	42	104,982	4946042,727	6,58463
6	18	45	112,903	5223178,746	6,871582
6	20	47	116,6289	5371478,529	6,903349



Фиг. 3. Широчина на канала (W) спрямо големината на логически блок (N)



Фиг. 4. Осреднена стойност на максималните времезакъснения за тестваните схеми (в ns) спрямо големината на логическия блок (N)



Фиг. 5. Осреднена стойност на заеманата площ (в брой транзистори) за тестваните схеми спрямо големината на логически блок (N)

Анализирайки получените резултати от изследванията могат да се направят следните изводи:

- Аналитичният модел описан в [8] и представен с формула (2) може да бъде използван за автоматизирано проектиране на архитектурно ниво.
- Валидираният модел позволява да се получат по-малки стойности за максималното времезакъснение в схемата и за заеманата от нея площ, т.е. той води до по-добри решения (фиг. 4 и 5). Средно, намаляването на времезакъснението и заеманата площ е 5%.
- Сравняваните модели имат сходни показатели по отношение на необходимата широчина на канала с програмируеми свързващи вериги. Изразена числово наблюдаваната разлика е около 0,1% в полза на модел (1).

ЗАКЛЮЧЕНИЕ

В представения доклад в направена съпоставка на два модела на логическата архитектура в FPGA. Резултатите показват, че използването на по-сложния експоненциален модел, позволява да се намали броя входове в логическия блок и да се подобри бързодействието и заеманата площ в реализираните схеми.

Това дава основание да се смята, че този модел може успешно да се приложи при проектиране на FPGA на архитектурно ниво. Моделът може да бъде доразвит, като се включат и допълнителни параметри, отразяващи схемотехничните особености вътре в ЛБ и извън него.

БЛАГОДАРНОСТИ

Работата по проведеното изследване е свързана с научно-изследователски проект Е-1406 „Компютърно моделиране за автоматизирано проектиране” по фонд „Научни изследвания” към ТУ-Габрово.

ЛИТЕРАТУРА

- [1] Ahmed E., The Effect of LUT and Cluster Size on Deep-Submicron FPGA Performance and Density, University of Toronto, 2001.
- [2] Chiasson C., and V. Betz, "COFFE: Fully-Automated Transistor Sizing for FPGAs", IEEE International Conference on Field-Programmable Technology (FPT), 2013, pp. 34 - 41.
- [3] Chiasson C., and V. Betz, "Should FPGAs Abandon the Pass-Gate?", IEEE International Conference on Field-Programmable Logic and Applications (FPL), 2013.
- [4] Christie P. and D. Stroobandt, "The interpretation and application of Rent's rule," IEEE Trans. VLSI Syst. (Special Issue on System-Level Interconnect Prediction), vol. 8, no. 6, pp. 639–648, Dec. 2000.
- [5] Luu J., J. Goeders, M. Wainberg, A. Somerville, T. Yu, K. Nasartschuk, M. Nasr, S. Wang, T. Liu, N. Ahmed, K. B. Kent, J. Anderson, J. Rose and V. Betz "VTR 7.0: Next Generation Architecture and CAD System for FPGAs," ACM TRET, Vol. 7, No. 2, June 2014, pp. 6:1 - 6:30.
- [6] Luu J., C. McCullough, S. Wang, S. Huda, Y. Bo, C. Chiasson, K. Kent, J. Anderson, J. Rose and V. Betz, "On Hard Adders and Carry Chains in FPGAs," FCCM, 2014.
- [7] Kukenska V., P. Minev, A Study into the Interconnections of Parameters in the Logic Architecture of FPGA Devices, Proc. of 54th ETRAN Conference 7 – 10 June 2010 Donji Milanovac, CD, Beograd, 2010, pp. RT2.4-1-4.
- [8] Minev P., V. Kukenska, Modeling FPGA Logic Architecture, Proc. Of XLV International Scientific Conference iCEST 23-26 June 2010 Ohrid, Volume 2, Bitola, 2010, pp. 807-810.
- [9] Yang S., "Logic Synthesis and Optimization Benchmarks, Version 3.0", Tech. Report, Microelectronics Centre of North Carolina, 1991.