

АНАЛИЗ И СИНТЕЗ НА ЛОГИЧЕСКИ СХЕМИ

Лекция

ШИФРАТОРИ

Като правило, изходният код на дешифратора има по-голям брой на разрядите отколкото входния му код. Ако кодът на изхода на устройството има по-малък брой разряди, отколкото входния му код, то това устройство обикновено се нарича шифратор (енкодер, encoder). Или шифраторът (нарича се още кодер, coder) представлява комбинационна логическа схема, реализираща преобразуването на постъпващия на входа му унитарен код в двоичен (съответстващ) код. Сигнал 1-ца постъпва само на един от входовете, а останалите са в състояние „0”.

6.1. Двоичен шифратор (binary encoder)

Най-прост от гледна точка на построяването му е двоичният шифратор (binary encoder) или шифратор $2^n \times n$. Това означава, че шифраторът, обратно на дешифратора като комбинационна логическа схема в общия случай има 2^n входа и n изхода.

Принцип на синтеза на шифратор

Както е показано на фиг. 6.1а), шифраторът реализира точно обратната функция по отношение на пълния дешифратор с код „1” от 2^n на входа и n -разряден двоичен код на изхода. Съотношенията на шифратора 8x3 с входни сигнали $x_0 - x_7$ и изходни сигнали $y_1 - y_3$ имат следния вид (6.1):

$$\begin{aligned} y_1 &= x_4 + x_5 + x_6 + x_7, \\ y_2 &= x_2 + x_3 + x_6 + x_7, \\ y_3 &= x_1 + x_3 + x_5 + x_7. \end{aligned} \quad (6.1)$$

Те се получават от логическите уравнения (6.2), отразяващи зависимостта между входните и изходните променливи и описващи действието на шифратора:

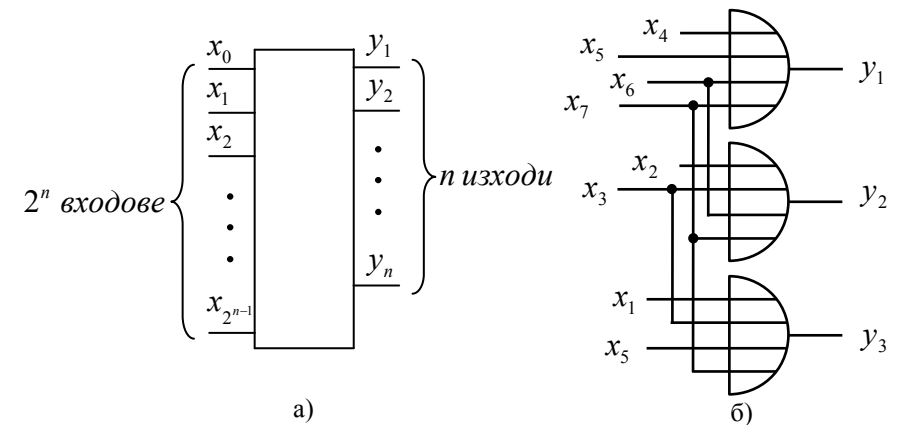
$$\begin{aligned} x_0 &= \bar{y}_1 \bar{y}_2 \bar{y}_3, & x_4 &= y_1 \bar{y}_2 \bar{y}_3, \\ x_1 &= \bar{y}_1 \bar{y}_2 y_3, & x_5 &= y_1 \bar{y}_2 y_3, \\ x_2 &= \bar{y}_1 y_2 \bar{y}_3, & x_6 &= y_1 y_2 \bar{y}_3, \\ x_3 &= \bar{y}_1 y_2 y_3, & x_7 &= y_1 y_2 y_3. \end{aligned} \quad (6.2)$$

На системата логически уравнения (6.2) съответствува таблицата на истинност - таблица 1.

От получените съотношения (6.1) се построява схемата на шифратора, показана на фиг. 6.1б).

Таблица 1
Таблица на истинност на шифратор 8x3

x_0	x_1	x_2	x_3	x_4	x_5	x_6	x_7	y_1	y_2	y_3
1	0	0	1	0	0	0	0	0	0	0
0	1	0	0	0	0	0	0	0	0	1
0	0	1	0	0	0	0	0	0	1	0
0	0	0	1	0	0	0	0	0	1	1
0	0	0	0	1	0	0	0	1	0	0
0	0	0	0	0	1	0	0	1	0	1
0	0	0	0	0	0	1	0	1	1	0
0	0	0	0	0	0	0	1	1	1	1



Фиг. 6.1. Двоичен шифратор: а) общ вид; б) шифратор 8x3

Както и дешифратора, шифраторът е схема с много изходи. При равен брой елементи на кода n , броят на Булевите функции в системата описващи работата на шифратора е по-малък отколкото за дешифратора, но самите функции са по-сложни. В подкрепа на това ще бъде разгледан един пример:

Пример 6.1-1. Да се построи шифратор, позволяващ да се получат три кодови комбинации на двуелементния код: 01; 10; 11.

За такъв шифратор ще са необходими три входни шини x_1 , x_2 , x_3 и две изходни шини y_1 и y_2 . Булевите функции за всеки изход са представени в таблица 2.

Всички набори от входни сигнали съдържащи две или три единици, а така също и нулевия набор за шифратора ще бъдат забранени. Следователно на изходните сигнали за тези набори могат да се предадат неопределени (незадължителни, факултативни) значения. В таблица 2 те са отбелязани със символ „*”. Същите ще бъдат използвани за допълнително опростяване на функциите y_1 и y_2 при тяхната минимизация.

Таблица 2
Таблица на истинност за синтез на шифратора от пример 6.1-1

Набор №	x_1	x_2	x_3	y_1	y_2
0	0	0	0	*	*
1	0	0	1	0	1
2	0	1	0	1	0
3	0	1	1	*	*
4	1	0	0	1	1
5	1	0	1	*	*
6	1	1	0	*	*
7	1	1	1	*	*

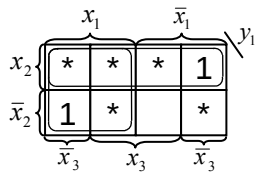
При съставянето на структурните формули за всеки от изходите се получава система Булеви функции (6.3) и (6.4), описващи работата на шифратора:

$$y_1 = \sum_{m_i}^1 (2, 4) + \sum_{m_i}^* (0, 3, 5, 6, 7), \quad (6.3)$$

и

$$y_2 = \sum_{m_i}^1 (1, 4) + \sum_{m_i}^* (0, 3, 5, 6, 7). \quad (6.4)$$

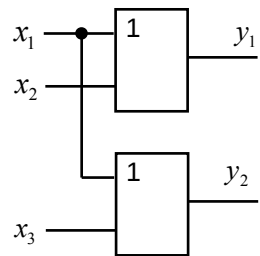
Следва минимизация на функциите с карти на Вейч.



$$y_1 = x_1 + x_2, \quad (6.5)$$

$$y_2 = x_1 + x_3. \quad (6.6)$$

От получените минимални форми на функциите y_1 (6.5) и y_2 (6.6) е синтезирана схемата на шифратора (фиг. 6.2), позволяваща да се получат трите кодови комбинации на двуелементния код: 01; 10; 11.



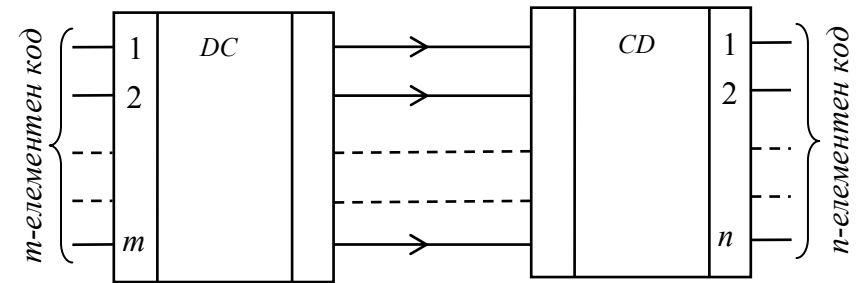
Фиг. 6.2. Схема на шифратора

Шифраторите се използват в цифровата техника за формиране на съответстващи кодови комбинации. Заедно с дешифраторите (представяват частен случай на преобразувателите на кодове-преобразуват двоичен код в унитарен код) те позволяват да се реши задачата за преобразуване на един код в друг. Ако например е необходимо да се преобразува m - елементен код в n - елементен,

то затова с помощта на дешифратор се преобразува m - елементна комбинация в сигнал логическа единица 1 на съответстващата шина и използвайки шифратор, от този сигнал се формира необходимият n - елементен код. Структурната схема на такъв кодов преобразувател е показана на фиг. 6.3.

Следва обаче да се има предвид, че този път на решение на задачата за преобразуване на кодове не винаги е целесъобразен. Количеството на оборудване, което е необходимо при това, може да се окаже в редица случаи

значително по-голямо отколкото изграждането на кодовия преобразувател като една (единна) сложна схема с много изходи.

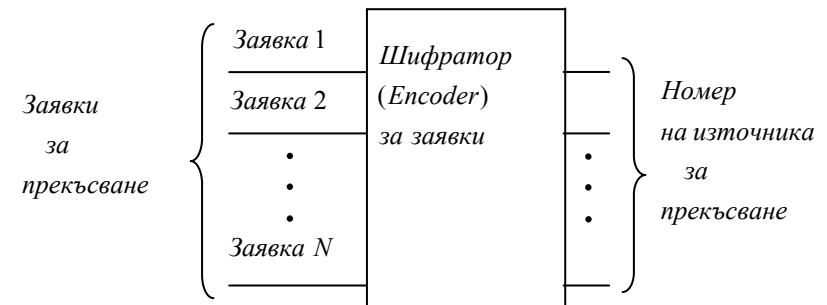


Фиг. 6.3. Структурната схема на кодов преобразувател с дешифратор и шифратор

Ето защо по-често на практика се използва табличен подход, който ще бъде описан в следващия материал, посветен на кодовите преобразуватели.

6.2. Приоритетен шифратор (priority encoder)

Изходните сигнали на n - разрядния пълен дешифратор, които са кодови думи "1 от 2^n ", обикновено се използват за управление на набор от 2^n устройства, когато се предполага, че във всеки момент от времето активно е най-много едно от тях. Ако се разгледа обратната ситуация, т.е. система с 2^n входа, сигналът на всеки един от които, показва генерирането на заявка за прекъсване, както е показано на фиг. 6.4. Такава структура често се прилага в микропроцесорните подсистеми за вход/изход (I/O), когато входните сигнали могат да бъдат заявки за прекъсване.



Фиг. 6.4. Система с 2^n устройства за прекъсване и „шифратор за заявки“ показващ във всеки момент от времето, кой от сигналите за заявка е активен

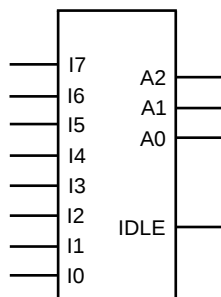
В ситуация, когато е необходимо да се наблюдават входовете и да се посочи кои устройства са свързани към тях и се изисква заявка за прекъсване в даден момент, може да изглежда естествено използването на двоичен

шифратор (енкодер), чиято схема е показана на фиг. 4.2.1. Този шифратор обаче работи правилно само в случай, когато във всеки момент от времето е гарантирано активизиран не повече от един вход. Ако едновременно могат да постъпват няколко заявки, тогава шифраторът ще дава нежелателни резултати. Да предположим например, че на входовете x_2 (I2) и x_4 (I4) на шифратор 8 x 3 едновременно присъстват 1; тогава на изхода ще се появи комбинация 110, съответстваща на двоичното представяне на числото 6 в десетичен код.

В приведения случай, на изхода би трябвало да бъде 2 (010) или 4 (100), но не 6 (110). Как може шифраторът да знае, какво число (какъв номер) да избере? Решението е да се назначат входни линии с приоритети (*priority*) така, че при наличието на множество запитвания, числото на изхода на шифратора да съответства на номера на запитващото устройство с най-висок приоритет. Схемата, реализираща такъв алгоритъм, се нарича *приоритетен шифратор* (*priority encoder*).

Условното означение на 8-входов приоритетен шифратор е показано на фиг. 6.5. Входът I7 има най-висок приоритет. Ако на един от входовете присъства сигнал, то на изходите A2 - A0 се появява число съответстващо на входния сигнал с най-висш приоритет. На изхода IDLE сигнал се появява само в случай, че нито един от входовете не е активизиран (активиран).

За да се запишат логическите изрази за изходните сигнали на приоритетния шифратор, отначало се определят осем междинни променливи H0 - H7, такива че H_i е равно на 1 само в този случай, когато I_i се явява вход с висш приоритет сред тези числа, на които са подадени 1:



Фиг. 6.5. Условно обозначение на 8-входов типичен приоритетен шифратор

$$H7 = I7$$

$$H6 = I6 \cdot I7'$$

$$H5 = I5 \cdot I6' \cdot I7'$$

...

$$H0 = I0 \cdot I1' \cdot I2' \cdot I3' \cdot I4' \cdot I5' \cdot I6' \cdot I7'.$$

Използвайки тези сигнали, се получават съотношения за изходите A2-A0, подобни на тези, които са написани за простия двоичен шифратор (6.1):

$$A2 = H4 + H5 + H6 + H7$$

$$A1 = H2 + H3 + H6 + H7$$

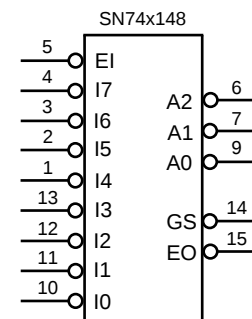
$$A0 = H1 + H3 + H5 + H7.$$

Изходният сигнал IDLE е равен на 1, ако на нито един от входовете няма 1:

$$\begin{aligned} IDLE &= (I0 + I1 + I2 + I3 + I4 + I5 + I6 + I7)' \\ &= I0' \cdot I1' \cdot I2' \cdot I3' \cdot I4' \cdot I5' \cdot I6' \cdot I7'. \end{aligned}$$

Приоритетен шифратор SN74x148

В търговската мрежа се предлага интегралната схема със средна степен на интеграция SN74x148, представляваща 8 – входов приоритетен шифратор. Условното обозначение на този приоритетен шифратор е приведено на фиг. 6.6, а на фиг. 6.7 е показана принципната му схема. Основното различие между тази интегрална схема и „типичният“ приоритетен шифратор, изобразен на фиг. 6.5 се състои в това, че входните и изходните сигнали на дадения шифратор имат ниско активно ниво. Освен това има вход за разрешение EI_L, който трябва да бъде активизиран за да бъде всеки от изходите активен. Пълната таблица на истинност е представена в таблица 3.

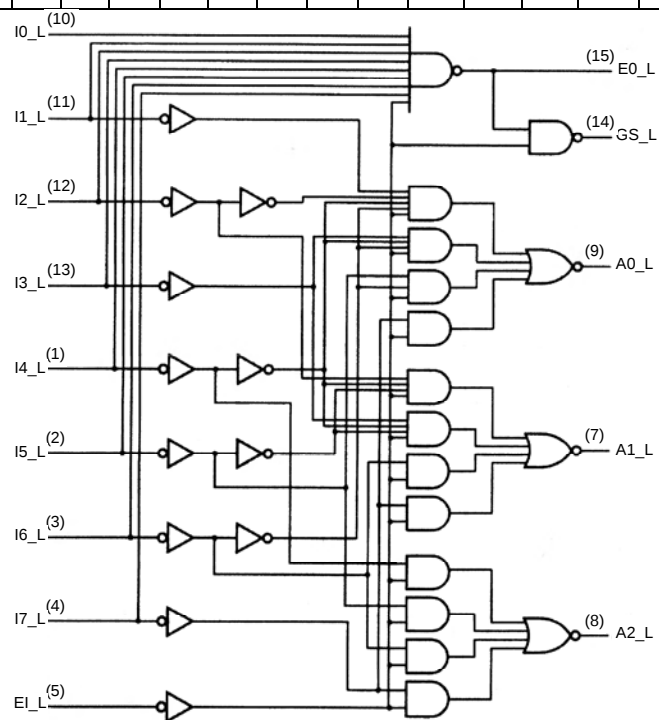


Фиг. 6.6. Условно обозначение на 8-входов приоритетен шифратор 74x148

Ролята на изход IDLE в интегралната схема SN74x148 играе изход GS_L, който е активен, когато работата на устройството е разрешена и сигналите за заявка на един или по-голям брой входове са активни. Производителят нарича този сигнал „Group Select“ (сигнал за „групов избор“), но обозначението му по-леко се запомня като „Got Something“ („нещо е получено“). Сигнал EO_L – това е *изходен* сигнал за разрешение; той е предназначен за подаването му на вход EI_L на друг шифратор '148, който обработва заявки с по-нисък приоритет. Сигналят EO_L има активно ниво в случай, когато и на вход EI_L има активно ниво, но на нито един от входовете не е постъпил сигнал за заявка с активно ниво; именно в този случай се разрешава работата на шифратора '148, обработващ заявки с по-нисък приоритет.

Таблица 3
Таблица на истинност на приоритетния шифратор SN74x148

В х о д о в е								И з х о д и					
EL_L	I0_L	I1_L	I2_L	I3_L	I4_L	I5_L	I6_L	I7_L	A2_L	A1_L	A0_L	GS_L	EO_L
1	X	X	X	X	X	X	X	X	1	1	1	1	1
0	X	X	X	X	X	X	X	0	0	0	0	0	1
0	X	X	X	X	X	X	0	1	0	0	1	0	1
0	X	X	X	X	X	0	1	1	0	1	0	0	1
0	X	X	X	X	0	1	1	1	0	1	1	0	1
0	X	X	X	0	1	1	1	1	1	0	0	0	1
0	X	X	0	1	1	1	1	1	1	0	1	0	1
0	X	0	1	1	1	1	1	1	1	1	0	0	1
0	0	1	1	1	1	1	1	1	1	1	1	0	1
0	0	1	1	1	1	1	1	1	1	1	1	1	0



Фиг. 6.7. Принципна схема на 8-входов приоритетен шифратор SN74x148 с номерата на изводите за стандартен корпус DIP - 16